

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年7月29日 (29.07.2004)

PCT

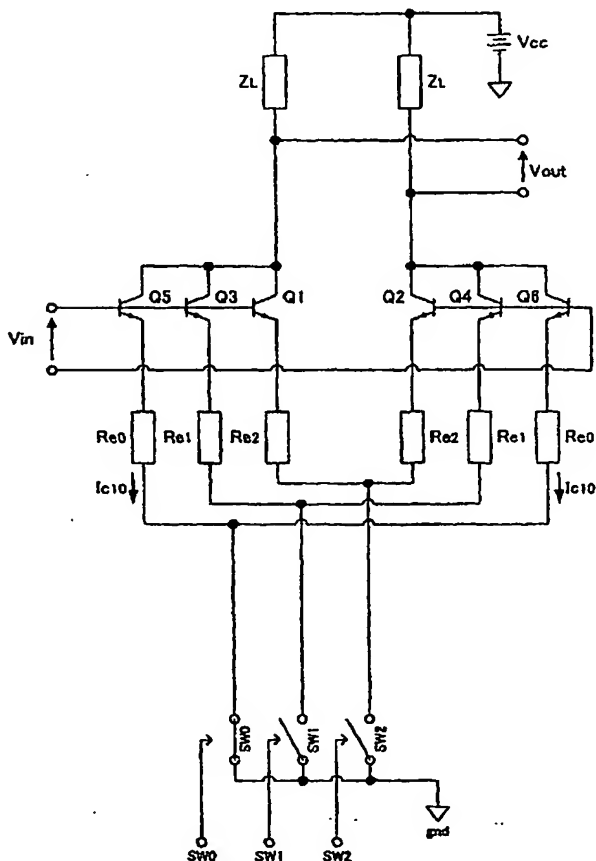
(10) 国際公開番号
WO 2004/064251 A1

- (51) 国際特許分類: H03G 3/10 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/000181
- (22) 国際出願日: 2004年1月14日 (14.01.2004)
- (25) 国際出願の言語: 日本語 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 宇田川 昌治 (UDAGAWA, Masaharu) [—/—].
- (26) 国際公開の言語: 日本語 (74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒1076013 東京都港区赤坂一丁目 1 2 番 3 2 号 アーク森ビル 1 3 階 栄光特許事務所 Tokyo (JP).
- (30) 優先権データ: 特願2003-6171 2003年1月14日 (14.01.2003) JP

[続葉有]

(54) Title: VARIABLE GAIN AMPLIFIER CIRCUIT AND RADIO MACHINE

(54) 発明の名称: 可変利得増幅回路及び無線機



(57) Abstract: A variable gain amplifier circuit in which current decreases when the voltage gain is lowered and the distortion characteristic substantially hardly deteriorate. The bases of bipolar transistors (Q1, Q3, Q5; Q2, Q4, Q6) constituting grounded emitter circuits are interconnected commonly. Switches (SW2, SW1, SW0) are provided to the emitter sides of the bipolar transistors. By switching the switches (SW2, SW1, SW0), the potentials of the emitter sides are made a ground potential gnd to select a grounded emitter amplifier circuit with a different voltage gain to control the voltage gain. The corrector currents I_0 and the emitter resistances Re of the grounded emitter amplifier circuits are different from one another, and the ratio between the collector currents I_0 is in inverse proportion to the ratio between the emitter resistances Re . As a result, the collector current I_0 of each grounded emitter amplifier circuit decreases as the voltage gain is lowered, and the distortion characteristic substantially hardly deteriorate.

(57) 要約: 本発明の課題は、電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的にない可変利得増幅回路を提供することである。複数のエミッタ接地増幅回路を構成するバイポーラトランジスタ Q1、Q3、Q5 及び Q2、Q4、Q6 のベースを共通とし、バイポーラトランジスタのエミッタ側にそれぞれスイッチ SW2、SW1、SW0 を設けて構成する。スイッチ SW2、SW1、SW0 を切り替えてエミッタ側を接地電位 gnd にすることにより、電圧利得の異なるエミッタ接地増幅回路

を選択して電圧利得を制御する。また、各エミッタ接地増幅回路の間でコレクタ電流 I_0 とエミッタ抵抗 Re をそれぞれ異なる値とし、コレクタ電

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

可変利得増幅回路及び無線機

5 <技術分野>

本発明は、可変利得増幅回路及びこれを備えた無線通信装置に関する。

<背景技術>

従来の可変利得増幅回路の例を図32～図34に示す。図32に示す第1の従
 10 来例の可変利得増幅回路は、バイポーラトランジスタQ1、Q2からなる一組の
 エミッタ接地増幅回路と、バイポーラトランジスタQ3とQ4、Q5とQ6から
 なる差動対とを備えた構成である。この構成において、入力信号Vinはバイポー
 ラトランジスタQ1とQ2のベースにされ、エミッタ接地増幅回路の出力電
 15 流は、差動対を構成するバイポーラトランジスタQ3～Q6のベースにされ
 る利得制御電圧Vgcに従って分流される。この可変利得増幅回路の電圧利得Av2
 は、理想的なバイポーラトランジスタを仮定すると、次の式1aで表され、利得
 制御電圧Vgcに従って制御される。

$$Av2 = g_{m2} \cdot Z_L \cdot \exp(V_{gc}/V_t) / (\exp(V_{gc}/V_t) + 1) \quad \cdots (1a)$$

但し、 g_{m2} は次の式1bで表される。

20 $g_{m2} = 1 / ((V_t / I_0) + (R_e)) \quad \cdots (1b)$

また、 V_t は、熱電圧（室温で約26mV）である（例えば、非特許文献1参照）。

図33に示す第2の従来例の可変利得増幅回路は、バイポーラトランジスタQ
 3、Q4を定電流源として用い、利得制御電圧Vgcに従ってコレクタ電流I0を変
 25 えることにより、バイポーラトランジスタQ1、Q2からなる一組のエミッタ接
 地増幅回路の利得を制御する構成となっている。この可変利得増幅回路の電圧利
 得Av3は、理想的なバイポーラトランジスタを仮定して、次の式2aで表され、
 利得制御電圧Vgcに従って制御される。

$$Av3 = g_{m3} \cdot Z_L \quad \cdots (2a)$$

但し、 g_{m3} 、 V_{gc} は次の式 2 b、2 c で表される。

$$g_{m3} = 1 / ((V_t / I_0) + (R_e)) \quad \cdots (2b)$$

$$R_e \cdot I_0 + V_t \cdot \log(I_0 / I_s) = V_{gc} \quad \cdots (2c)$$

ここで、 I_s はバイポーラトランジスタ Q 3、Q 4 の飽和電流であり、 $\log()$

5 は自然対数関数を表す（例えば、特許文献 1 参照）。

また、図 3 4 に示す第 3 の従来例の可変利得増幅回路は、図 3 3 に示した第 2 の従来例と構成が同じであり、コレクタ電流 I_0 を変えて電圧利得 A_{v4} を制御する点も同様であるが、コレクタ電流 I_0 の変え方が異なる。この可変利得増幅回路の電圧利得 A_{v4} は、次の式 3 a で表される。

$$10 \quad A_{v4} = g_{m4} \cdot Z_L \quad \cdots (3a)$$

但し、 g_{m4} は次の式 3 b によって表され、コレクタ電流 I_0 によって電圧利得 A_{v4} を制御することができる（例えば、特許文献 2 参照）。

$$g_{m4} = 1 / ((V_t / I_0) + (R_e)) \quad \cdots (3b)$$

（非特許文献 1） Robert G. Meyer, and William D. Mack, 「A DC to 1-GHz

15 Differential Monolithic Variable-Gain Amplifier」, IEEE Journal of Solid-State Circuits, 1991年11月, 第26巻, 第11号, p.1673-1680 (Fig.2)

（特許文献 1） 特表平 1 0 - 5 0 3 9 1 7 号公報（図 1）

（特許文献 2） 実開平 0 1 - 1 7 9 6 2 0 号公報（図 1）

しかしながら、図 3 2 に示した第 1 の従来例の可変利得増幅回路は、式 1 a 及び式 1 b から分かるように、利得制御電圧 V_{gc} によらず常に一定のコレクタ電流 I_0 を消費する。一方、歪み特性の一つである 3 次相互変調歪みの希望波に対する抑圧比 I_{M3} は、理想的なバイポーラトランジスタを仮定すると、次の式 4 で表すことができる。

$$25 \quad I_{M3} = (3/4) \cdot | (V_t / (I_0^3) \cdot (2 \cdot R_e - (V_t / I_0))) / ((R_e + (V_t / I_0))^4) | \cdot (V_{in}^2) \quad \cdots (4)$$

ここで、 $||$ は絶対値を表す。また、ここでは簡単のため、差動増幅回路の中点接地の考え方が成り立つという近似を使った。大信号になると一般にこの近似からずれてくるので、 I_{M3} はさらに劣化する。

この式 4 から分かるように、コレクタ電流 I_0 は歪み特性で律則され、抑圧比 IM_3 を良好に保つためには比較的大きなコレクタ電流が必要である。ここで、図 35 (a), (b) に、上記式 1 a, 1 b 及び式 4 から算出した、制御電圧 V_{gc} を変えて電圧利得 A_v (式において A_{v2}) を制御した場合の電圧利得 A_v に対する抑圧比 IM_3 とコレクタ電流 I_0 との関係を示す。この図において、抑圧比 IM_3 及び電圧利得 A_v は、真数ではなく dB 単位、又は dB 単位の対数で表している。このように、第 1 の従来例の可変利得増幅回路は、電圧利得によらず常に比較的大きな電流を消費し、電圧利得を下げて電流が減少しないという問題があった。

- 10 これに対して、図 33 に示した第 2 の従来例、及び図 34 に示した第 3 の従来例の可変利得増幅回路は、式 2 a, 2 b 及び式 3 a, 3 b から分かるように、電圧利得を下げたときにコレクタ電流が減少する。一方、抑圧比 IM_3 は、式 4 と同じになり、理想的なバイポーラトランジスタを仮定すると、次の式 5 で表すことができる。

$$15 \quad IM_3 = (3/4) \cdot \left| (V_t / (I_0^3) \cdot (2 \cdot R_e - (V_t / I_0))) \right. \\ \left. / ((R_e + (V_t / I_0))^4) \right| \cdot (V_{in}^2) \quad \dots (5)$$

ここでも簡単のため、差動増幅回路の midpoint 接地の考え方が成り立つという近似を使った。大信号になると一般にこの近似からずれてくるので、 IM_3 はさらに劣化する。

- 20 式 5 から分かることは、これらの第 2 及び第 3 の従来例の可変利得増幅回路は、電圧利得 A_v (式において A_{v3} 又は A_{v4}) を下げる際にコレクタ電流 I_0 が減少するので、 $2 \cdot R_e = (V_t / I_0)$ となる特異点を除いて抑圧比 IM_3 が劣化するという問題がある。図 36 (a), (b) に、上記式 2 a, 2 b 又は 3 a, 3 b 及び式 5 から算出した、制御電圧 V_{gc} 又はコレクタ電流 I_0 を変えて電圧利得 A_v を制御した場合の電圧利得 A_v に対する抑圧比 IM_3 とコレクタ電流 I_0 との関係を示す。

本発明は、上記課題を解決するためになされたもので、その目的は、電圧利得を下げたときに電流が減少し、かつ抑圧比で代表される歪み特性の劣化が実質的

に無い優れた可変利得増幅回路及びこれを備えた無線通信装置を提供することにある。

<発明の開示>

5 本発明に係る可変利得増幅回路は、バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地の増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記バイポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続したものである。

10 上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることが可能となる。

本発明に係る可変利得増幅回路は、バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地ーベース接地のカスケード接続からなる増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記エミッタ接地のバイ
15 ポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続したものである。

上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることができる効果に加えて、利得制御のダイナミックレンジを広げることが可能となる。

20 また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、コレクタ電流の比がエミッタ抵抗の比に反比例するものとする。

上記構成により、コレクタ電流の比がエミッタ抵抗の比に反比例、すなわちコレクタ電流の比とエミッタ抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利
25 得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。また、エミッタ抵抗として同相のエミッタ抵抗を追加すれば、外部からの耐ノイズ性を強化することが可能である。

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比がエミッタ抵抗の比に反比例するものとする。

- 5 上記構成により、エミッタ面積の比がエミッタ抵抗の比に反比例、すなわちエミッタ面積の比とエミッタ抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。

- 10 また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比が2のべき乗となるものとする。

- 15 上記構成により、素子の物理的な形状を考えた際にエミッタ面積比を精度良く実現し易くなる。例えば、可変利得増幅回路をIC又はLSIとしてマスクレイアウトする場合に、同じ形状のバイポーラトランジスタを2個並列に接続することによって、エミッタ面積を精度良く2倍にすることが可能である。

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、エミッタ抵抗の比が2のべき乗となるものとする。

- 20 上記構成により、素子の物理的な形状を考えた際にエミッタ抵抗の比を精度良く実現し易くなる。例えば、可変利得増幅回路をIC又はLSIとしてマスクレイアウトする場合に、同じ形状の抵抗素子を2個並列に接続することによって、抵抗値を精度良く1/2にすることが可能である。

- 25 本発明に係る可変利得増幅回路は、電界効果トランジスタを用いた電圧利得の異なる複数のソース接地の増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続したものである。

上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることが可能となる。また、電界効果トラン

ジスタを用いることにより、より低い電源電圧で回路を動作させることが可能となる。

- 本発明に係る可変利得増幅回路は、電界効果トランジスタを用いた電圧利得の異なる複数のソース接地－ゲート接地のカスケード接続からなる増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記ソース接地の電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続したものである。

- 上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることができる効果に加えて、利得制御のダイナミックレンジを広げることが可能となる。また、電界効果トランジスタを用いることにより、より低い電源電圧で回路を動作させることが可能となる。

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、ドレイン電流の比がソース抵抗の比に反比例するものとする。

- 上記構成により、ドレイン電流の比がソース抵抗の比に反比例、すなわちドレイン電流の比とソース抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。また、ソース抵抗として同相のソース抵抗を追加すれば、外部からの耐ノイズ性を強化することが可能である。

- また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるソース接地のトランジスタの相互間で、ゲート幅の比がソース抵抗の比に反比例するものとする。

- 上記構成により、ゲート幅の比がソース抵抗の比に反比例、すなわちゲート幅の比とソース抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるソース接地のトランジスタの相互間で、ゲート幅の比が2のべき乗となるものとする。

上記構成により、素子の物理的な形状を考えた際にゲート幅の比を精度良く実現し易くなる。例えば、可変利得増幅回路を I C 又は L S I としてマスクレイアウトする場合に、同じ形状の M O S トランジスタを 2 個並列に接続することによって、ゲート幅を精度良く 2 倍にすることが可能である。

- 5 また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、ソース抵抗の比が 2 のべき乗となるものとする。

上記構成により、素子の物理的な形状を考えた際にソース抵抗の比を精度良く実現し易くなる。例えば、可変利得増幅回路を I C 又は L S I としてマスクレイアウトする場合に、同じ形状の抵抗素子を 2 個並列に接続することによって、抵抗値を精度良く 1 / 2 にすることが可能である。

10

また、上記いずれかの可変利得増幅回路において、前記スイッチ手段が電流源により構成されるものとする。

- 上記構成により、電流源によって複数の増幅回路のコレクタ電流またはドレイン電流をそれぞれ設定し、外部制御信号により切り替えることで、電圧利得の異なる複数の増幅回路を選択して電圧利得を制御できるため、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることができる。
- 15

また、上記いずれかの可変利得増幅回路において、前記スイッチ手段がトランジスタにより構成されるものとする。

- 上記構成により、トランジスタのスイッチ手段によって電圧利得の異なる複数の増幅回路を選択する際、選択するものは増幅回路のエミッタまたはソース側を接地電位にし、選択しないものについてはエミッタまたはソース側を開放することによって切り替えることで、電圧利得を制御できる。これにより、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることができる。
- 20
- また、トランジスタのオン抵抗がなるべく小さくなるようにするか、或いは、オン抵抗の比をエミッタ抵抗またはソース抵抗の比と同じにすることにより、電圧利得をより精度良く制御することが可能である。また、トランジスタを用いることで回路の L S I 化が容易になる。
- 25

また、上記いずれかの可変利得増幅回路において、前記スイッチ手段がインバータにより構成されるものとする。

上記構成により、インバータのスイッチ手段によって電圧利得の異なる複数の増幅回路を選択する際、選択しないものについてはエミッタまたはソース側を正の電源電圧の電位にして切り替えることで、電圧利得を制御できる。これにより、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすことができる。また、インバータを用いることで回路のLSI化が容易になる。

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路のそれぞれに対応する複数のバイアス回路を有するものとする。

上記構成により、バイアス回路を設けることによって、電圧利得を制御する際のコレクタ電流またはドレイン電流の比を正確に実現することが可能となる。

10 また、上記いずれかの可変利得増幅回路において、デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか1つを選択するデコーダを有するものとする。

15 上記構成により、デコーダを用いることによって、デコーダへの入力信号の値に応じて所定量の単位ごとに可変利得増幅回路の電圧利得を制御することが可能となる。

20 また、上記いずれかの可変利得増幅回路において、デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択するデコーダを有するものとする。

上記構成により、デコーダを用いることによって、デコーダへの入力信号の値に応じて所定範囲においてこれよりも細かい所定単位ごとに可変利得増幅回路の電圧利得を制御することが可能となる。

25 また、上記いずれかの可変利得増幅回路において、デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか1つを選択する第1のデコーダと、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択する第2のデコーダとを有するものとする。

上記構成により、例えば第1のデコーダを用いた可変利得増幅回路と第2のデコーダを用いた可変利得増幅回路とを直列接続した構成とすることによって、デコーダへの入力信号の値に応じて所望の範囲において所定単位ごとに細かく可変利得増幅回路の電圧利得を制御することが可能となる。

- 5 また、本発明は、上記いずれかに記載の可変利得増幅回路を増幅回路として備えた無線通信装置を提供する。

上記構成により、無線回路において電圧利得を下げたときに電流が低減し、かつ歪み特性の劣化が実質的にない無線通信装置を実現することが可能となる。

10 <図面の簡単な説明>

図1は、本発明の第1実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図2は、第1実施形態の応用例としてバイアス回路も含めた可変利得増幅回路の構成を示す回路図であり、

- 15 図3は、第1実施形態における可変利得増幅回路の電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 の関係を示すグラフであり、

図4は、第1実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

、

- 20 図5は、本発明の第2実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図6は、本発明の第3実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図7は、第3実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

、

- 25 図8は、本発明の第4実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図9は、本発明の第4実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図 1 0 は、本発明の第 5 実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図 1 1 は、第 5 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

5 図 1 2 は、第 5 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

図 1 3 は、第 5 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

10 図 1 4 は、本発明の第 6 実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図 1 5 は、第 6 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

図 1 6 は、第 6 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

15 図 1 7 は、第 6 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

図 1 8 は、本発明の第 7 実施形態に係る可変利得増幅回路の構成を示す回路図であり、

20 図 1 9 は、第 7 実施形態の第 1 変形例の可変利得増幅回路の構成を示す回路図であり、

図 2 0 は、第 7 実施形態の第 2 変形例の可変利得増幅回路の構成を示す回路図であり、

図 2 1 は、本発明の第 8 実施形態に係る可変利得増幅回路の構成を示す回路図であり、

25 図 2 2 は、第 8 実施形態の変形例の可変利得増幅回路の構成を示す回路図であり、

図 2 3 は、本発明の第 9 実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図 2 4 は、本発明の第 9 実施形態に係る可変利得増幅回路の構成を示す回路図であり、

図 2 5 は、本発明の第 1 0 実施形態に係る可変利得増幅回路の構成を示すブロック図であり、

5 図 2 6 は、第 1 0 実施形態における可変利得増幅回路のデジタル信号 gain_state_1 に対する電圧利得 A_v の関係を示すグラフであり、

図 2 7 は、本発明の第 1 1 実施形態に係る可変利得増幅回路の構成を示すブロック図であり、

10 図 2 8 は、第 1 1 実施形態における可変利得増幅回路のデジタル信号 gain_state_2 に対する電圧利得 A_v の関係を示すグラフであり、

図 2 9 は、本発明の第 1 2 実施形態に係る可変利得増幅回路の構成を示すブロック図であり、

図 3 0 は、第 1 2 実施形態における可変利得増幅回路のデジタル信号 gain_state_3 に対する電圧利得 A_v の関係を示すグラフであり、

15 図 3 1 は、本発明の第 1 3 実施形態に係る無線通信装置の構成を示すブロック図であり、

図 3 2 は、第 1 の従来例の可変利得増幅回路の構成を示す回路図であり、

図 3 3 は、第 2 の従来例の可変利得増幅回路の構成を示す回路図であり、

図 3 4 は、第 3 の従来例の可変利得増幅回路の構成を示す回路図であり、

20 図 3 5 は、第 1 の従来例の可変利得増幅回路における電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 の関係を示すグラフであり、

図 3 6 は、第 2 及び第 3 の従来例の可変利得増幅回路における電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 の関係を示すグラフである。

25 なお、図中の符号、1 1, 2 1 は可変利得増幅回路本体 1 2, 2 2 はデコーダ、1 0 4 は送信 RF 可変利得増幅回路、1 0 7 は受信 RF 可変利得増幅回路、Q 1 ~ Q 6、Q b1 ~ Q b6 はバイポーラトランジスタ、M n0 ~ M n2、M p0 ~ M p2、M p20 ~ M p22、M p200、M 1 ~ M 8 は MOS トランジスタ、R e、R e0 ~ R e2 はエミッタ抵抗、R e c0 ~ R e c2 は同相のエミッタ抵抗、R s0 ~ R s2 はソース抵抗、R s c0

～R_{sc2}は同相のソース抵抗、SW0、SW1、SW2はスイッチ、I_{cl0}、I₀はコレクタ電流、gain_state_1、gain_state_2はデジタル信号である。

<発明を実施するための最良の形態>

5 以下、図面を参照して本発明の実施形態を説明する。

(第1実施形態)

図1は本発明の第1実施形態に係る可変利得増幅回路の構成を示す回路図である。

10 第1実施形態の可変利得増幅回路は、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタQ1、Q3、Q5のベースとQ2、Q4、Q6のベースをそれぞれ共通に接続すると共に、バイポーラトランジスタQ1、Q2のエミッタ側にスイッチSW2を接続し、以下同様にバイポーラトランジスタQ3、Q4及びQ5、Q6の各エミッタ側にそれぞれSW1、SW0を接続して構成される
15 。このスイッチSW2、SW1、SW0により、エミッタ接地増幅回路を選択可能となっている。

図1の構成において、外部からの制御信号によってスイッチSW2、SW1、SW0のオンオフを切り替えて、バイポーラトランジスタ対のいずれかのエミッタ側を接地電位gndにすると、そのバイポーラトランジスタ対はエミッタ接地
20 増幅回路として動作し、エミッタ側を接地電位gndにしない場合は、コレクタ電流が流れないので増幅回路として動作しない。このようにしてスイッチSW2、SW1、SW0を切り替えることにより、電圧利得の異なる増幅回路を選択すれば、電圧利得を制御することが可能である。

本実施形態では、エミッタ接地増幅回路を構成する各バイポーラトランジスタ
25 の間でエミッタ面積の比を2のべき乗とし、かつそれぞれのエミッタ抵抗の抵抗値R_{e0}、R_{e1}、R_{e2}の比をバイポーラトランジスタのエミッタ面積の比に反比例するようにしている。すなわち、以下の式6a、6bの関係を満たすようにする。

$$I_{s5} = I_{s3} / 2 = I_{s1} / 4 \quad \dots (6a)$$

$$R_{e0}/4 = R_{e1}/2 = R_{e2} \quad \dots (6b)$$

バイポーラトランジスタの間でエミッタ面積比を2のべき乗にしたのは、素子の物理的な形状を考えた際に面積比を精度良く実現し易いとの理由による。例えば、本実施形態の回路をIC又はLSIとしてマスクレイアウトする場合に、同

- 5 じ形状の抵抗素子又はバイポーラトランジスタを2個並列に接続することによって、それぞれ抵抗値を精度良く1/2にしたり、エミッタ面積を精度良く2倍にすることができる。また、好ましくは、エミッタ抵抗の比についても2のべき乗となるよう構成する。ここで、バイポーラトランジスタのエミッタ面積の比を2のべき乗でなく任意の比にしても、それぞれのエミッタ抵抗値の比をバイポーラ
- 10 トランジスタのエミッタ面積の比に反比例するようにすれば、同様な回路動作が可能である。

- また、ここでは簡単のためにバイポーラトランジスタQ1、Q2などのベースバイアス電圧を一定とすると、コレクタ電流I0の比も2のべき乗になる。すなわち、各バイポーラトランジスタによる増幅回路のコレクタ電流の比がエミッタ抵
- 15 抗の比に反比例するようになる。さらに、スイッチSW0、SW1、SW2のうち1つだけを接地電位gndにした状態を、それぞれゲイン状態としてgain_stateが0、1、2であると定義する。図1では、3個のスイッチを有して3ビット構成とした例を示しているが、ビット数を増減しても基本的な動作に変わりはない。

- 20 この第1実施形態の可変利得増幅回路の電圧利得Av1は、理想的なバイポーラトランジスタを仮定すると、次の式7aで表されるようにゲイン状態gain_stateに従って制御することができる。

$$A_{v1} = g_{m1} \cdot Z_L \quad \dots (7a)$$

但し、 g_{m1} 、 R_e 、 I_0 は次の式7b、7c、7dで表される。

25 $g_{m1} = 1 / (R_e + (V_t / I_0)) \quad \dots (7b)$

$$R_e = R_{e5} / (2^{\text{gain_state}}) \quad \dots (7c)$$

$$I_0 = I_{c10} \cdot (2^{\text{gain_state}}) \quad \dots (7d)$$

ここで、 $2^{\text{gain_state}}$ は2のgain_state乗を表し、 I_{c10} はgain_stateが0のときのコレクタ電流I0とする。

以上の説明では、簡単のためにバイポーラトランジスタQ1、Q2などのベースのバイアス電圧は一定としたが、ベースのバイアス電圧が一定でなくても、バイアス回路を工夫して、コレクタ電流I0がエミッタ抵抗Reに反比例するように変化させれば、同様な利得制御が可能である。

- 5 図2は第1実施形態の応用例として、上述のコレクタ電流I0の比を正確に実現するためのバイアス回路も含めた可変利得増幅回路の構成例を示す回路図である。

この応用例の可変利得増幅回路は、複数のエミッタ接地増幅回路のそれぞれに対応してバイアス回路を設けることにより、ゲイン状態gain_stateによってコレクタ電流I0が変化しても、コレクタ電流I0の比を正確に実現することができる。上記式7a～7dからも分かるように、この可変利得増幅回路は、電圧利得を下げたときにコレクタ電流が減少する。一方、抑圧比IM3は、上述した式3、式4と同じになり、理想的なバイポーラトランジスタを仮定すると、次の式8で表すことができる。

$$15 \quad IM3 = (3/4) \cdot \left| (V_t / (I_0^3) \cdot (2 \cdot R_e - (V_t / I_0))) \right. \\ \left. / ((R_e + (V_t / I_0))^4) \right| \cdot (V_{in}^2) \quad \dots (8)$$

ここではスイッチのオン抵抗が無視できれば、中点は完全に接地電位gndになっているので、理想的なバイポーラトランジスタの場合には完全に上式に一致する。

- 20 式7c、7dを式8に代入すると、この可変利得増幅回路は、gain_stateを変えても抑圧比IM3は変わらないことが分かる。すなわち、電圧利得Avを下げて抑圧比は一定となる。ここで、図3(a)、(b)に、上記式7a～7d及び式8から算出した、gain_stateを変えて電圧利得Av(式においてAv1)を制御した場合の電圧利得Avに対する抑圧比IM3とコレクタ電流I0との関係を示す。

- 25 以上のように第1実施形態によれば、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタ対のベースを共通とし、各エミッタ接地増幅回路を構成するバイポーラトランジスタ対のエミッタ側にそれぞれスイッチを設け、それらのスイッチでエミッタ接地増幅回路を選択することにより、電圧利得を下げたと

きに電流が減少し、かつ歪み特性の劣化が実質的にない可変利得増幅回路を実現することができる。

なお、図 1 の構成では、スイッチ SW 2、SW 1、SW 0 を切り替えてバイポーラトランジスタのエミッタ側を接地電位 gnd にする構成にしたが、他の変形例も考えられる。図 4 は第 1 実施形態の変形例の構成を示す回路図である。この変形例は、スイッチ SW 2、SW 1、SW 0 の切り替えによってバイポーラトランジスタのエミッタ側を接地電位 gnd にしないで正の電源電圧 V_{cc} にするようにしたものである。このような回路構成にしても同様の効果を得ることができる。

10

(第 2 実施形態)

図 5 は本発明の第 2 実施形態に係る可変利得増幅回路の構成を示す回路図である。

第 2 実施形態の可変利得増幅回路は、図 1 に示した第 1 実施形態における差動形式の回路を片相形式にしたものである。この可変利得増幅回路は、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタ $Q1$ 、 $Q3$ 、 $Q5$ のベースを共通に接続すると共に、各エミッタ側にそれぞれスイッチ SW 2、SW 1、SW 0 を接続して構成される。

回路動作は第 1 実施形態と同じであり、図 5 の構成において、スイッチ SW 2、SW 1、SW 0 を切り替えて、バイポーラトランジスタのいずれかのエミッタ側を接地電位 gnd にすると、そのバイポーラトランジスタはエミッタ接地増幅回路として動作し、エミッタ側を接地電位 gnd にしない場合は、コレクタ電流が流れないので増幅回路として動作しない。このようにしてスイッチ SW 2、SW 1、SW 0 を切り替えることにより、電圧利得の異なる増幅回路を選択すれば、電圧利得を制御することができる。

このように第 2 実施形態によれば、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタのベースを共通とし、各エミッタ接地増幅回路を構成するバイポーラトランジスタのエミッタ側にそれぞれスイッチを設け、それらのスイッチでエミッタ接地増幅回路を選択することにより、電圧利得を下げたときに電

流が減少し、かつ歪み特性の劣化が実質的にない可変利得増幅回路を実現することができる。

(第3実施形態)

5 図6は本発明の第3実施形態に係る可変利得増幅回路の構成を示す回路図である。第3実施形態は、上記第1実施形態の構成を一部変更した例である。

第3実施形態と第1実施形態との構成上の相違は、各バイポーラトランジスタ対に同相のエミッタ抵抗 R_{ec0} 、 R_{ec1} 、 R_{ec2} を加えたことである。その他は第1実施形態と同様に構成されている。この同相のエミッタ抵抗 R_{ec0} 、 R_{ec1} 、 R_{ec2}
10 の抵抗値比は、エミッタ抵抗 R_{e0} 、 R_{e1} 、 R_{e2} と同様にエミッタ面積比に反比例するように、次の式6cの関係を満たすようにする。

$$R_{ec0}/4 = R_{ec1}/2 = R_{ec2} \quad \cdots (6c)$$

これによってコレクタ電流の比を一定に保つことができる。また、同相のエミッタ抵抗 R_{ec0} 、 R_{ec1} 、 R_{ec2} を加えることによって、同相信号の電圧利得を小さ
15 くできるので、外部からのノイズに対して強くなるという効果が新たに得られる。差動信号の電圧利得とコレクタ電流及び抑圧比の関係は、第1実施形態の場合と同じであり、同様の効果がある。

図7は第3実施形態の変形例の構成を示す回路図である。この変形例は、エミッタ抵抗の接続構成が異なるものである。バイポーラトランジスタ $Q1$ 、 $Q2$ などから見たエミッタ抵抗が R_{e2} と R_{ec2} の並列接続の抵抗値に等価であるという
20 見方をすれば、図6の可変利得増幅回路と同様の増幅回路と考えることができる。よって、この変形例においても同様の効果がある。

(第4実施形態)

25 図8及び図9は本発明の第4実施形態に係る可変利得増幅回路の構成を示す回路図である。第4実施形態は、上記第1実施形態の構成を一部変更した例である。

第4実施形態と第1実施形態との構成上の相違は、スイッチとして電流源 41 、 42 、 43 を用いたことである。その他は第1実施形態と同様に構成されてい

る。なお、図 8 と図 9 は、エミッタ抵抗 R_{e0} 、 R_{e1} 、 R_{e2} と電流源 4 1、4 2、4 3 の接続構成を変えた例をそれぞれ示している。この第 4 実施形態の可変利得増幅回路において、電流源 4 1 ～ 4 3 で設定されるコレクタ電流の比を上記式 7 d のように設定すれば、電圧利得とコレクタ電流及び抑圧比の関係がいずれも第 1 実施形態と同じになり、同様の効果がある。

(第 5 実施形態)

図 1 0 は本発明の第 5 実施形態に係る可変利得増幅回路の構成を示す回路図である。第 5 実施形態は、上記第 1 実施形態の構成を一部変更した例である。

10 第 5 実施形態と第 1 実施形態との構成上の相違は、スイッチとして MOS トランジスタ M_{n0} 、 M_{n1} 、 M_{n2} を用いたことである。その他は第 1 実施形態と同様に構成されている。この第 5 実施形態の可変利得増幅回路の構成においても、電圧利得とコレクタ電流及び抑圧比の関係は第 1 実施形態の場合と同じになり、同様の効果がある。

15 なお、MOS トランジスタが理想的なスイッチと見なせない場合には、MOS トランジスタのゲート幅をなるべく大きくしてオン抵抗がなるべく小さくなるようにするか、或いは、オン抵抗の比をエミッタ抵抗の比と同じにすることにより、電圧利得をより精度良く制御することができる。

図 1 1 ～図 1 3 は第 5 実施形態の変形例の構成を示す回路図である。これらの
20 変形例は、図 5 ～図 7 に示した第 2 及び第 3 実施形態の構成に対応してスイッチとして MOS トランジスタを用いて置き換えたものであり、いずれにおいても同様の効果がある。

(第 6 実施形態)

25 図 1 4 は本発明の第 6 実施形態に係る可変利得増幅回路の構成を示す回路図である。第 6 実施形態は、上記第 5 実施形態の構成を一部変更した例である。

第 6 実施形態と第 5 実施形態との構成上の相違は、スイッチとして MOS トランジスタ M_{n0} 、 M_{n1} 、 M_{n2} 、 M_{p0} 、 M_{p1} 、 M_{p2} で構成される MOS インバータを用いて、エミッタ接地増幅回路を選択しない際に、バイポーラトランジスタのエ

ミッタ側を開放するのではなく、正の電源電圧の電位にするようにした点である。その他は第1実施形態と同様に構成されている。

このようにバイポーラトランジスタのエミッタ側を正の電源電圧の電位にすることによって、バイポーラトランジスタは飽和して増幅回路として動作しなくなるので、第1実施形態や第5実施形態などと同様の利得制御ができる。従って、第6実施形態の可変利得増幅回路においても、電圧利得とコレクタ電流及び抑圧比の関係は、第1実施形態や第5実施形態などと同じになり、同様の効果がある。

なお、MOSインバータが理想的なスイッチと見なせない場合には、MOSトランジスタのゲート幅をなるべく大きくしてオン抵抗がなるべく小さくなるようにするか、又は、オン抵抗の比をエミッタ抵抗の比と同じにすることにより、電圧利得をより精度良く制御することができる。

図15～図17は第6実施形態の変形例の構成を示す回路図である。これらの変形例は、図5～図7に示した第2及び第3実施形態の構成に対応してスイッチとしてMOSインバータを用いて置き換えたものであり、いずれにおいても同様の効果がある。なお、ここではインバータとしてMOSインバータを使用した例を示したが、他の構成のインバータを用いても同様な動作は可能であり、同様の効果を得ることができる。

(第7実施形態)

図18は本発明の第7実施形態に係る可変利得増幅回路の構成を示す回路図である。第7実施形態は、上記第1実施形態の構成を一部変更した例である。

第7実施形態と第1実施形態との構成上の相違は、ベース接地のバイポーラトランジスタQ7、Q8を加えて、エミッタ接地ーベース接地のカスケード接続にしたことである。その他は第1実施形態と同様に構成されている。

第1実施形態では、エミッタ接地のバイポーラトランジスタQ1、Q2などのベースーコレクタ間容量C_{jc}が直接効いて入力V_{in}と出力V_{out}間の寄生容量が大きくなるのに対し、第7実施形態では、ベース接地のバイポーラトランジスタ

Q 7、Q 8 が間に入ることによって、入力 V_{in} と出力 V_{out} 間の寄生容量を小さくすることができる。

回路の動作は、基本的には第 1 実施形態と同じであり、理想的なバイポーラトランジスタを仮定すると、電圧利得 A_v と抑圧比 I_{M3} は式 7 a ~ 7 d 及び式 8 と同じである。すなわち、いずれの実施形態の可変利得増幅回路においても、寄生容量が無視できる理想の場合には、式 7 a ~ 7 d に従って電圧利得を制御できる。

一方、信号周波数が高い場合や電圧利得を下げた場合などにおいて、入力 V_{in} と出力 V_{out} 間の寄生容量が無視できない場合には、動作上の違いが現れる。そのような場合、第 1 実施形態では、理想的な場合の出力に加えて入力 V_{in} と出力 V_{out} 間の寄生容量のために入力 V_{in} から出力 V_{out} へある一定の信号がリークするので、理想的な利得制御特性から外れて、例えば利得が下げられなくなるなどの問題が生ずることがある。これに対して、電圧利得を下げた場合や、信号周波数が高い場合、第 7 実施形態における可変利得増幅回路では、寄生容量による入力 V_{in} から出力 V_{out} への信号のリークが少ないので、より小さい電圧利得まで利得を制御しながら下げることができる。換言すれば、利得制御のダイナミックレンジを広げることができる。

このように第 7 実施形態によれば、可変利得増幅回路をエミッタ接地ーベース接地のカスケード接続の構成にすることによって、第 1 実施形態などの効果に加えて、利得制御のダイナミックレンジを広げることが可能である効果を実現することができる。

なお、上記と同様に、第 2 ~ 第 6 実施形態において、エミッタ接地増幅回路を構成するバイポーラトランジスタのコレクタ側に第 7 実施形態の Q 7、Q 8 のようなベース接地のバイポーラトランジスタを加えて、エミッタ接地ーベース接地のカスケード接続の増幅回路を構成するように変更することも可能である。これにより、利得制御のダイナミックレンジを広げることができる。図 19 は第 7 実施形態の第 1 変形例の構成を示す回路図である。この変形例は、図 16 に示した第 6 実施形態の変形例の構成に対応してエミッタ接地ーベース接地のカスケード接続の増幅回路を構成したものであり、同様の効果がある。

また、図 20 は第 7 実施形態の第 2 変形例の構成を示す回路図である。この変形例は、図 4 に示した第 1 実施形態の変形例の構成に対応して、スイッチ SW 2、SW 1、SW 0 を切り替えてバイポーラトランジスタのエミッタ側を接地電位 g n d にする構成に加え、更に接地電位 g n d にしないときは正の電源電圧 V c c 5 にする構成としたものである。このような回路構成にしても同様の効果を得ることができる。

(第 8 実施形態)

図 21 は本発明の第 8 実施形態に係る可変利得増幅回路の構成を示す回路図である。第 8 実施形態は、上記第 1 実施形態の構成を一部変更した例である。

第 8 実施形態と第 1 実施形態との構成上の相違は、バイポーラトランジスタに代えて MOS トランジスタを用いたことである。この場合、複数のソース接地増幅回路を構成する MOS トランジスタ M 1、M 3、M 5 のゲートと M 2、M 4、M 6 のゲートをそれぞれ共通に接続すると共に、MOS トランジスタ M 1、M 2 15 のソース側にスイッチ SW 2 を接続し、以下同様に MOS トランジスタ M 3、M 4 及び M 5、M 6 の各ソース側にそれぞれ SW 1、SW 0 を接続して構成される。

本実施形態では、複数のソース接地増幅回路におけるそれぞれのソース抵抗の抵抗値 R_{s0} 、 R_{s1} 、 R_{s2} の比を MOS トランジスタのゲート幅の比に反比例するように構成する。好ましくは、それぞれの MOS トランジスタのゲート幅の比、20 ソース抵抗の抵抗値の比を 2 のべき乗とする。また、複数のソース接地増幅回路におけるドレイン電流の比がソース抵抗の比に反比例するように構成する。基本的な動作は第 1 実施形態と同様であるが、第 8 実施形態の構成によれば、第 1 実施形態の効果に加えて、より低い電源電圧で回路を動作させることができるという効果を実現できる。

なお、上記と同様に、第 2 ～ 第 6 実施形態において、エミッタ接地増幅回路を構成するバイポーラトランジスタを MOS トランジスタに代えた構成とすることも可能であり、より低い電源電圧で回路を動作させることができるという効果を実現できる。図 22 は第 8 実施形態の変形例の構成を示す回路図である。この変

形例は、図 16 に示した第 6 実施形態の変形例の構成に対応してバイポーラトランジスタに代えて MOS トランジスタを用いて構成したものであり、同様の効果がある。

- 5 また、本実施形態では電界効果トランジスタとして MOS トランジスタを使用した例を示したが、MOS トランジスタに限定されるわけではなく、例えば、GaAs MESFET のような化合物半導体を用いた電界効果トランジスタなど、他の電界効果トランジスタを用いても同様の効果を実現することができる。

(第 9 実施形態)

- 10 図 23 及び図 24 は本発明の第 9 実施形態に係る可変利得増幅回路の構成を示す回路図である。第 9 実施形態は、上記第 7 実施形態の構成を一部変更した例である。

15 図 9 実施形態と第 7 実施形態との構成上の相違は、バイポーラトランジスタに代えて MOS トランジスタを用いたことである。この場合、上記第 8 実施形態の構成に M7、M8 のようなゲート接地の MOS トランジスタを加えて、ソース接地ーゲート接地のカスケード接続の増幅回路を構成する。基本的な動作は第 7 実施形態と同様であるが、第 9 実施形態の構成によれば、第 7 実施形態の効果に加えて、より低い電源電圧で回路を動作させることができるという効果を実現できる。

- 20 なお、本実施形態では電界効果トランジスタとして MOS トランジスタを使用した例を示したが、MOS トランジスタに限定されるわけではなく、例えば、GaAs MESFET のような化合物半導体を用いた電界効果トランジスタなど、他の電界効果トランジスタでも同様の効果を実現することができる。

25 (第 10 実施形態)

図 25 は本発明の第 10 実施形態に係る可変利得増幅回路の構成を示すブロック図である。

第10実施形態の可変利得増幅回路は、上記第1～第9実施形態において説明した可変利得増幅回路を可変利得増幅回路本体（VGA1）11とし、更にデコーダ（DECORDER1）12を付加して構成される。

- デコーダ12は、表1に示すようにデジタル信号処理を行うことにより、入力するゲイン状態設定用のデジタル信号gain_state_1に応じて可変利得増幅回路本体11のSW0、SW1、SW2の入力のいずれかに「1」を出力し、可変利得増幅回路本体11に含まれる複数の増幅回路のうち1つだけを選択する。

（表1）

gain_state_1	SW0	SW1	SW2	Voltage gain Av	dB_Av(dB)	dBc_IM3(dBc)	Io(mA)
2	0	0	1	3.623	11.182	-47.998	5.000
1	0	1	0	1.812	5.161	-47.998	2.500
0	1	0	0	0.906	-0.859	-47.998	1.250

10

第10実施形態では、デジタル信号gain_state_1の入力方法として、クロック端子clk、データ端子data、ストロープ端子stbを用いてシリアル形式のデータを入力するようにしている。なお、デジタル信号gain_state_1の入力方法はこれに限定されるものではなく、種々の変形例が考えられる。

- このときの電圧利得は、例えば、複数の増幅回路間のエミッタ抵抗の比が2のべき乗で、かつ複数の増幅回路間のコレクタ電流の比がエミッタ抵抗の比に反比例する場合、表1に示すように、デジタル信号gain_state_1によって電圧利得をおよそ6dBきざみで制御することができる。図26は表1に対応したデジタル信号gain_state_1に対する電圧利得Av（dB表示）の関係を示すグラフである。

20

このように第10実施形態によれば、デコーダを用いることによって、デコーダへの入力信号の値によって例えば約6dBごとなどの所定量の単位ごとに可変利得増幅回路の電圧利得を制御することができる。なお、第10実施形態では、3ビット構成の例を示しているが、ビット数を増せばさらに利得制御の範囲を広げることができる。

25

(第 1 1 実施形態)

図 2 7 は本発明の第 1 1 実施形態に係る可変利得増幅回路の構成を示すブロック図である。

- 5 第 1 1 実施形態の可変利得増幅回路は、上記第 1 ～第 9 実施形態において説明した可変利得増幅回路を可変利得増幅回路本体 (VGA 2) 2 1 とし、更にデコーダ回路 (DECORDER 2) 2 2 を付加して構成される。

- 10 デコーダ 2 2 は、可変利得増幅回路本体 2 1 の中で最も電圧利得の大きい増幅回路に対応した SW 2 に常に「1」を出力すると共に、ゲイン状態設定用のデジタル信号 gain_state_2 を入力して、表 2 に示すようにデジタル信号処理を行うことにより、可変利得増幅回路本体 2 2 の SW 0、SW 1 のそれぞれの入力に「1」又は「0」を出力して、SW 0、SW 1 に対応する増幅回路のうち任意の増幅回路の組み合わせを選択する。

15 (表 2)

gain_state_2	SW0	SW1	SW2	Voltage gain Av	dB_Av(dB)	dBc_IM3(dBc)	Io(mA)
3	1	1	1	6.341	16.043	-47.998	8.750
2	0	1	1	5.435	14.704	-47.998	7.500
1	1	0	1	4.529	13.120	-47.998	6.250
0	0	0	1	3.623	11.182	-47.998	5.000

- 20 第 1 1 実施形態では、デジタル信号 gain_state_2 の入力方法として、クロック端子 c l k、データ端子 d a t a、ストロブ端子 s t b を用いてシリアル形式のデータを入力するようにしている。なお、デジタル信号 gain_state_2 の入力方法はこれに限定されるものではなく、種々の変形例が考えられる。

このときの電圧利得は、例えば、複数の増幅回路間のエミッタ抵抗の比が 2 のべき乗で、かつ複数の増幅回路間のコレクタ電流の比がエミッタ抵抗の比に反比例する場合、表 2 に示すように、およそ 6 d B の範囲をデジタル信号 gain_state_2 によって電圧利得を 6 d B よりも細かいきざみで制御することがで

きる。図 28 は表 2 に対応したデジタル信号 gain_state_2 に対する電圧利得 A_v (dB 表示) の関係を示すグラフである。

このように第 11 実施形態によれば、デコーダを用いることによって、デコーダへの入力信号の値によって例えば 6 dB などの所定範囲においてそれよりも細かい所定単位ごとに可変利得増幅回路の電圧利得を制御することができる。なお、第 11 実施形態では、3 ビット構成の例を示しているが、ビット数を増せばさらに電圧利得の制御単位を細かくすることができる。また、常に「1」が出力される増幅回路の電圧利得の設定を変更すれば、可変利得増幅回路本体 21 全体の利得制御の範囲の設定を変更することもできる。

10

(第 12 実施形態)

図 29 は本発明の第 12 実施形態に係る可変利得増幅回路の構成を示すブロック図である。

第 12 実施形態の可変利得増幅回路は、上記第 10 実施形態において説明した可変利得増幅回路と第 11 実施形態において説明した可変利得増幅回路とを直列に接続して構成される。

この構成において、デコーダ 12 とデコーダ 22 にそれぞれデジタル信号 gain_state_1 とデジタル信号 gain_state_2 の組み合わせを入力すると、電圧利得はそれぞれの可変利得増幅回路の電圧利得の積 (dB 表示では和) になる。表 3 に示すように、デジタル信号 gain_state_1 とデジタル信号 gain_state_2 の組み合わせを gain_state_3 と定義すると、gain_state_3 によって電圧利得を制御できるとみなすこともできる。 ……

25

(表 3)

gain_state_3	gain_state_1	gain_state_2	dB_Av(dB)	dBc_IM3(dB)	Io(mA)
11	2	3	27.224		13.750
10	2	2	25.885		12.500
9	2	1	24.302		11.250
8	2	0	22.364		10.000
7	1	3	21.204		11.250
6	1	2	19.865		10.000
5	1	1	18.281		8.750
4	1	0	16.343		7.500
3	0	3	15.183		10.000
2	0	2	13.844		8.750
1	0	1	12.261		7.500
0	0	0	10.322		6.250

図 30 は表 3 に対応したデジタル信号 gain_state_3 に対する電圧利得 A_v (dB 表示) の関係を示すグラフである。

- 5 このように第 12 実施形態によれば、デコーダを用いた可変利得増幅回路を直列接続した構成とすることによって、デコーダへの入力信号の値によって所定範囲において所定単位ごとに細かく可変利得増幅回路の電圧利得を制御することができる。なお、第 12 実施形態では、3 ビット構成の例を示しているが、ビット数を増せばさらに利得制御のダイナミックレンジを広げたり、さらに細かいきざ
- 10 みで電圧利得を制御することができる。

(第 13 実施形態)

- 図 31 は本発明の第 13 実施形態に係る無線通信装置の構成を示すブロック図である。第 13 実施形態は、上記第 10～第 12 実施形態に示した可変利得増幅回路を無線通信装置に適用した例である。
- 15

この無線通信装置は、アンテナ 106、デュプレクサ（共用器）105 を備え、送信系として送信ベースバンド信号処理部 101、変調器 102、送信発振器 103、送信 RF 可変利得増幅回路 104 を有している。また、受信系として受

信 R F 可変利得増幅回路 107、復調器 108、受信発振器 109、受信ベースバンド信号処理部 110 を有している。

まず、送信系の動作について説明すると、まず送信ベースバンド信号処理部 101 において、入力された送信データ信号によるベースバンド帯域の送信信号の
5 符号化、増幅、帯域制限処理等の信号処理を行い、変調器 102 において送信発振器 103 により発生された局部発振信号と送信信号とを混合して周波数変換を行い、送信 R F 信号を得る。そして、送信 R F 可変利得増幅回路 104 において、例えば通信相手との距離が近い場合に相手局の受信回路の飽和を避ける、他の無線通信装置との干渉を低減するなどのために、利得制御を行って送信 R F 信号
10 を適当な信号レベルに調整し、デュプレクサ 105 を介してアンテナ 106 から電波として放射する。

一方、受信系の動作としては、アンテナ 106 で受信された受信 R F 信号は、デュプレクサ 105 を介して受信 R F 可変利得増幅回路 107 に入力される。そして、受信 R F 可変利得増幅回路 107 において、例えば通信相手との距離の変化やフェージングの影響などによる受信信号レベルの変動を抑えたり、高レベル
15 の入力信号による増幅回路の飽和を避けるために、利得制御を行って受信 R F 信号を適当な信号レベルに調整する。次に、復調器 108 において受信発振器 109 により発生された局部発振信号と受信 R F 信号とを混合して周波数変換を行い、ベースバンド帯域の受信信号を得る。そして、受信ベースバンド信号処理部 1
20 10 において、受信信号の帯域制限処理、増幅、復号化等の信号処理を行い、通信相手から送られた元のデータ信号を再生し、受信データ信号として出力する。

この第 1-3 実施形態では、上記送信 R F 可変利得増幅回路 104 と受信 R F 可変利得増幅回路 107 の少なくとも一方に、第 10～第 12 実施形態で説明した可変利得増幅回路を用いて構成する。これにより、電圧利得を下げたときに電流
25 が減少し、かつ歪み特性の劣化が実質的に無い無線通信装置を実現することができる。

上述したように、本実施形態では、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタのベースまたは MOS トランジスタのゲートを共通とし、各バイポーラトランジスタのエミッタ側または各 MOS トランジスタのソース側

にそれぞれスイッチを設け、これらのスイッチでエミッタ接地増幅回路を選択する構成としている。これにより、電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的にないという優れた効果を有する可変利得増幅回路を実現することができる。また、無線通信装置における送信RF可変利得増幅回路及び

- 5 受信RF可変利得増幅回路に上記実施形態の可変利得増幅回路を用いることにより、送信回路や受信回路等の無線回路において電圧利得を下げたときに電流が低減し、かつ歪み特性の劣化が実質的にない無線通信装置を実現することができる。

。

- 10 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2003年1月14日出願の日本特許出願No.2003-006171に基づくものであり、その内容はここに参照として取り込まれる。

15 <産業上の利用可能性>

以上説明したように本発明によれば、電圧利得を下げたときに電流が減少し、かつ抑圧比で代表される歪み特性の劣化が実質的に無い優れた可変利得増幅回路及びこれを備えた無線通信装置を提供することができる。

請 求 の 範 囲

1. バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地の増幅回路と、

5 前記複数の増幅回路を選択するスイッチ手段とを備え、

前記バイポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

10 2. バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地ーベース接地のカスケード接続からなる増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

前記エミッタ接地のバイポーラトランジスタのベースを共通接続すると共に、
15 前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

3. 前記複数の増幅回路の相互間で、コレクタ電流の比がエミッタ抵抗の比に反比例する請求の範囲第1項又は第2項に記載の可変利得増幅回路。

20 4. 前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比がエミッタ抵抗の比に反比例する請求の範囲第1項～第3項のいずれかに記載の可変利得増幅回路。

5. 前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で
25 、エミッタ面積の比が2のべき乗となる請求の範囲第1項～第4項のいずれかに記載の可変利得増幅回路。

6. 前記複数の増幅回路の相互間で、エミッタ抵抗の比が2のべき乗となる請求の範囲第1項～第5項のいずれかに記載の可変利得増幅回路。

7. 電界効果トランジスタを用いた電圧利得の異なる複数のソース接地の増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

5 前記電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路

。

8. 電界効果トランジスタを用いた電圧利得の異なる複数のソース接地ー

10 ゲート接地のカスケード接続からなる増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

前記ソース接地の電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

15

9. 前記複数の増幅回路の相互間で、ドレイン電流の比がソース抵抗の比に反比例する請求の範囲第7項又は第8項に記載の可変利得増幅回路。

10. 前記複数の増幅回路におけるソース接地のトランジスタの相互間で

20 、ゲート幅の比がソース抵抗の比に反比例する請求の範囲第7項～第9項のいずれかに記載の可変利得増幅回路。

11. 前記複数の増幅回路におけるソース接地のトランジスタの相互間で

、ゲート幅の比が2のべき乗となる請求の範囲第7項～第10項のいずれかに記

25 載の可変利得増幅回路。

12. 前記複数の増幅回路の相互間で、ソース抵抗の比が2のべき乗とな

る請求の範囲第7項～第11項のいずれかに記載の可変利得増幅回路。

1 3. 前記スイッチ手段が電流源により構成される請求の範囲第 1 項～第 1 2 項のいずれかに記載の可変利得増幅回路。

1 4. 前記スイッチ手段がトランジスタにより構成される請求の範囲第 1 項～第 1 2 項のいずれかに記載の可変利得増幅回路。

1 5. 前記スイッチ手段がインバータにより構成される請求の範囲第 1 項～第 1 2 項のいずれかに記載の可変利得増幅回路。

10 1 6. 前記複数の増幅回路のそれぞれに対応する複数のバイアス回路を有する請求の範囲第 1 項～第 1 5 項のいずれかに記載の可変利得増幅回路。

1 7. デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか 1 つを選択するデコーダを有する請求の範囲第 1 項～第 1 6 項のいずれかに記載の可変利得増幅回路。

1 8. デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択するデコーダを有する請求の範囲第 1 項～第 1 6 項のいずれかに記載の可変利得増幅回路。

1 9. デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか 1 つを選択する第 1 のデコーダと、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択する第 2 のデコーダとを有する請求の範囲第 1 項～第 1 6 項のいずれかに記載の可変利得増幅回路。

20. 請求の範囲第1項～第19項のいずれかに記載の可変利得増幅回路を増幅回路として備えた無線通信装置。

図 1

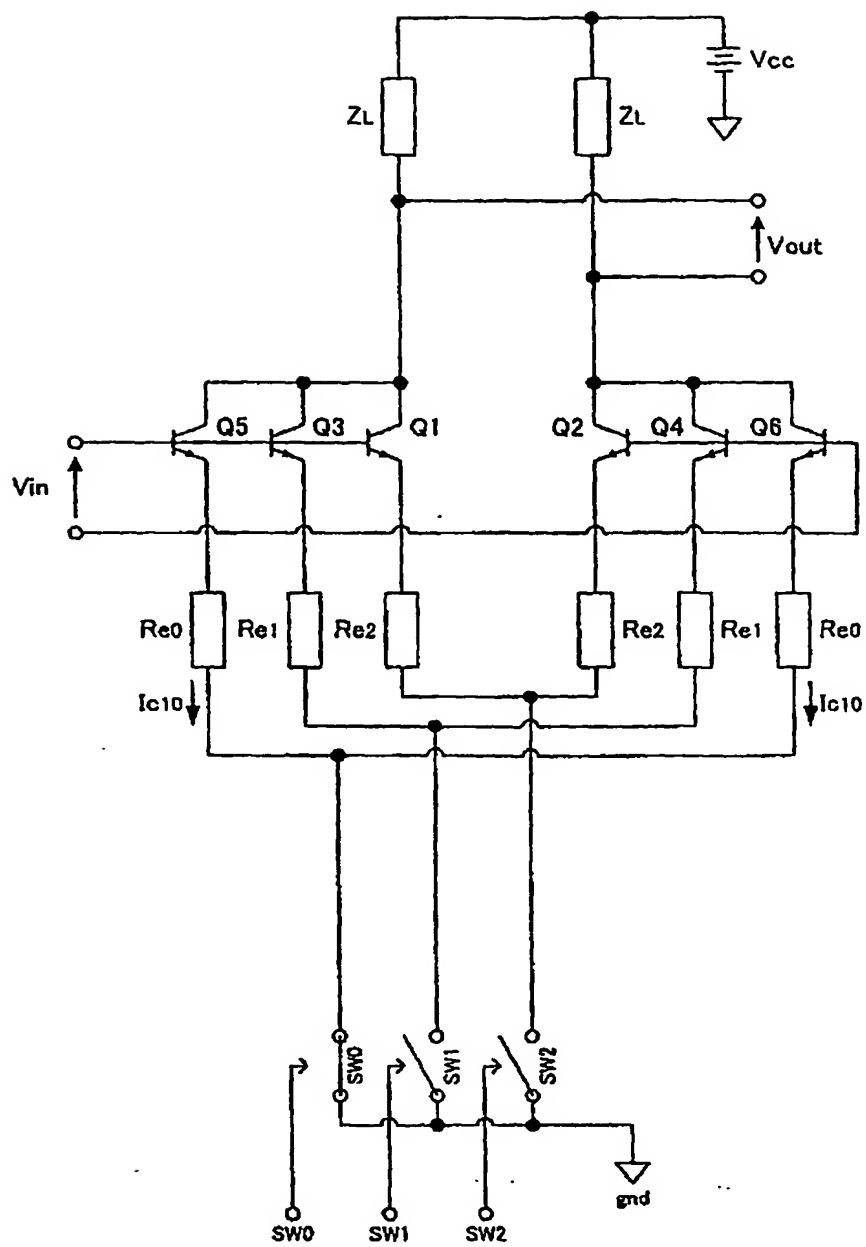


図 2

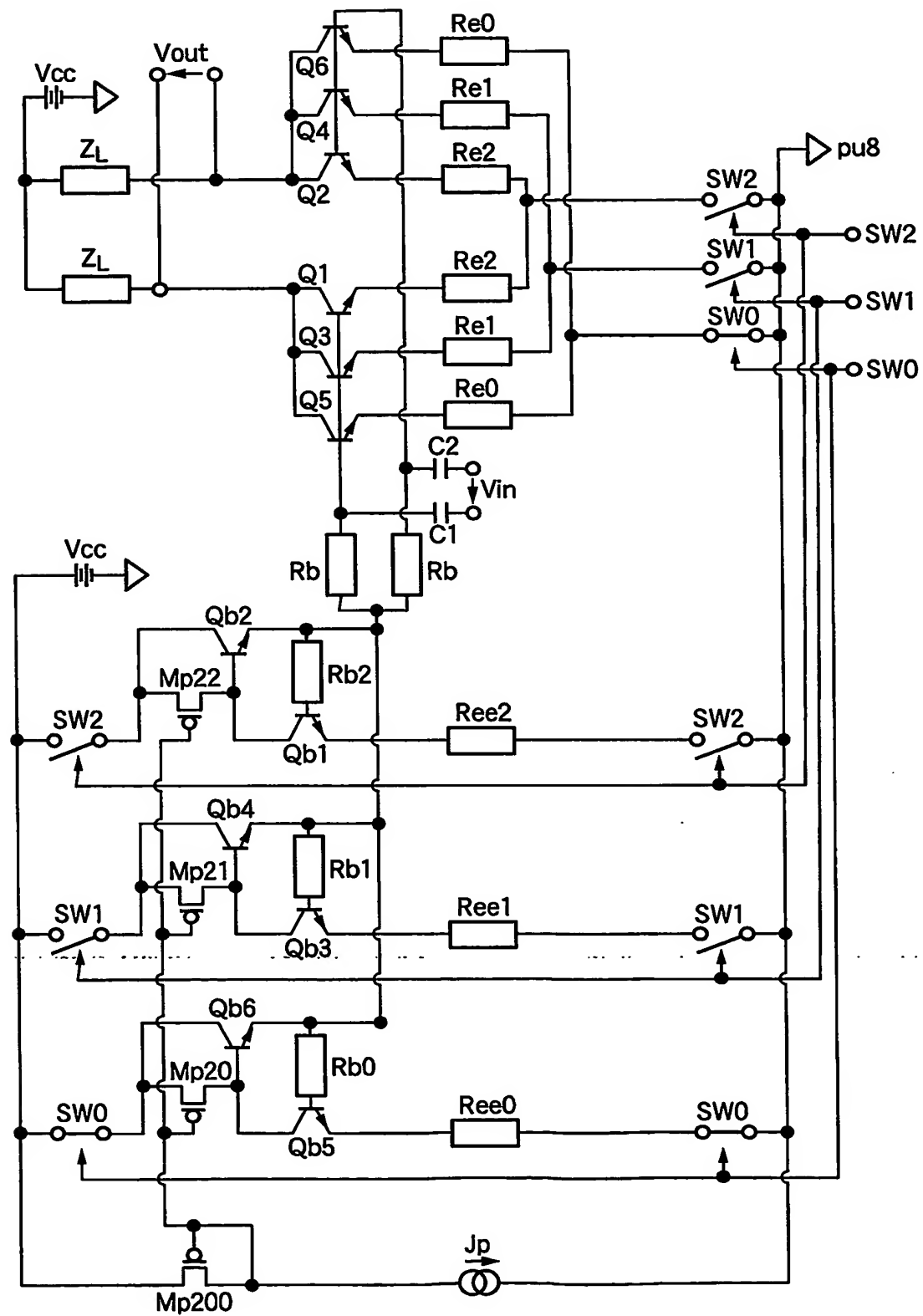


図 3

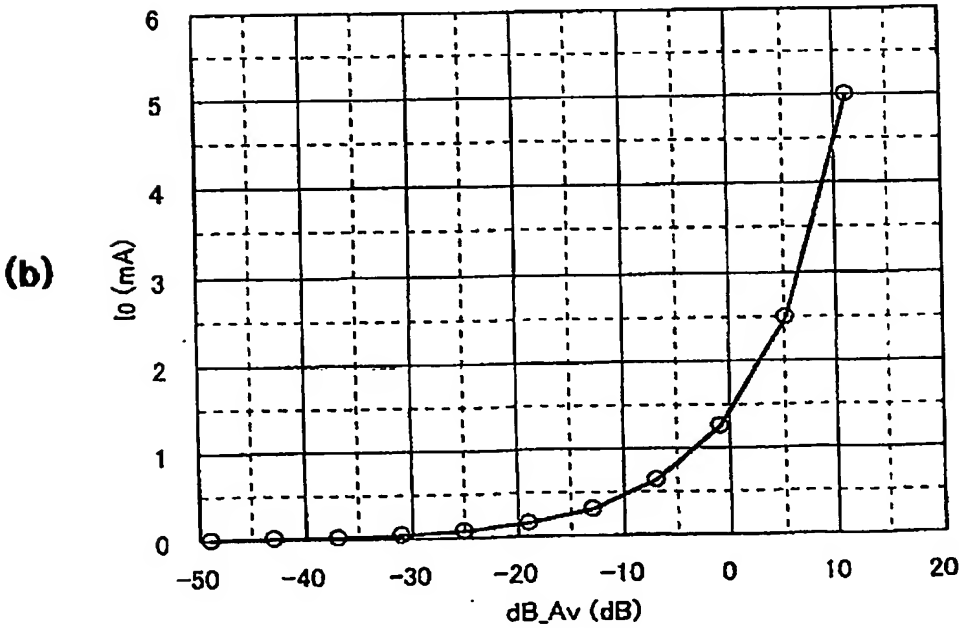
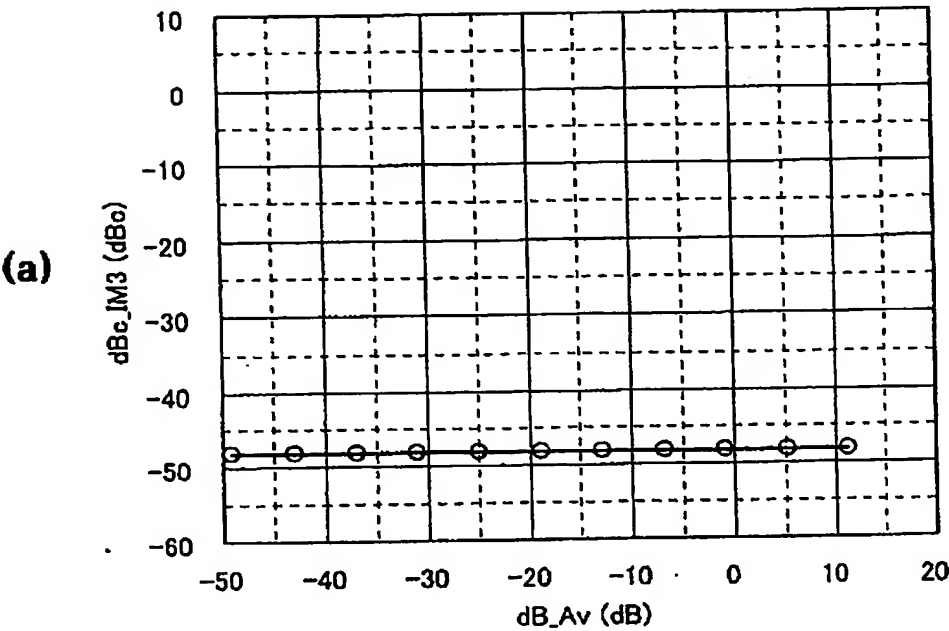


図 4

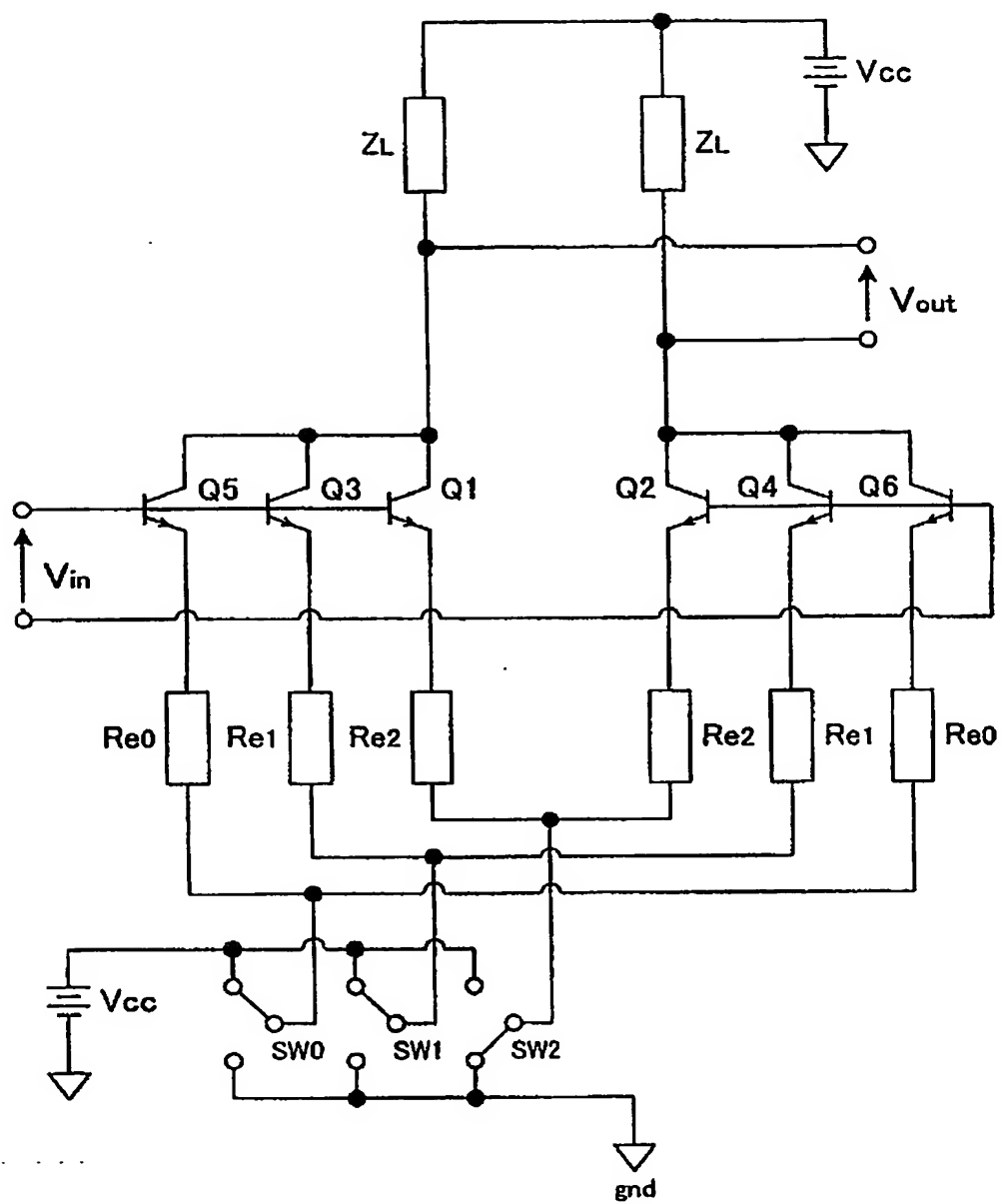


図 5

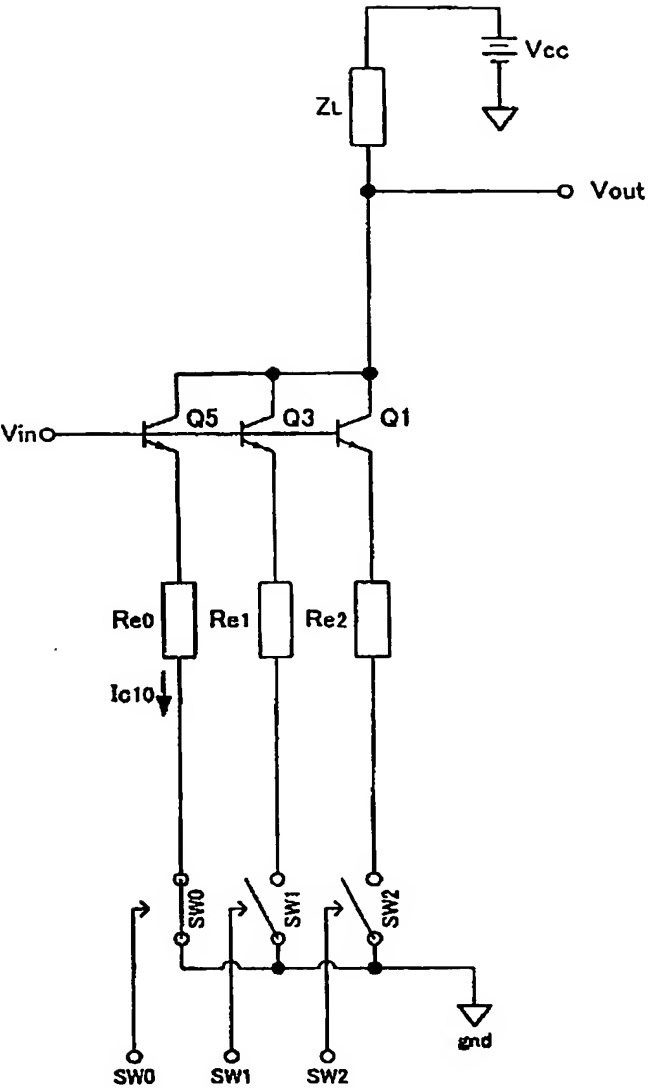


図 6

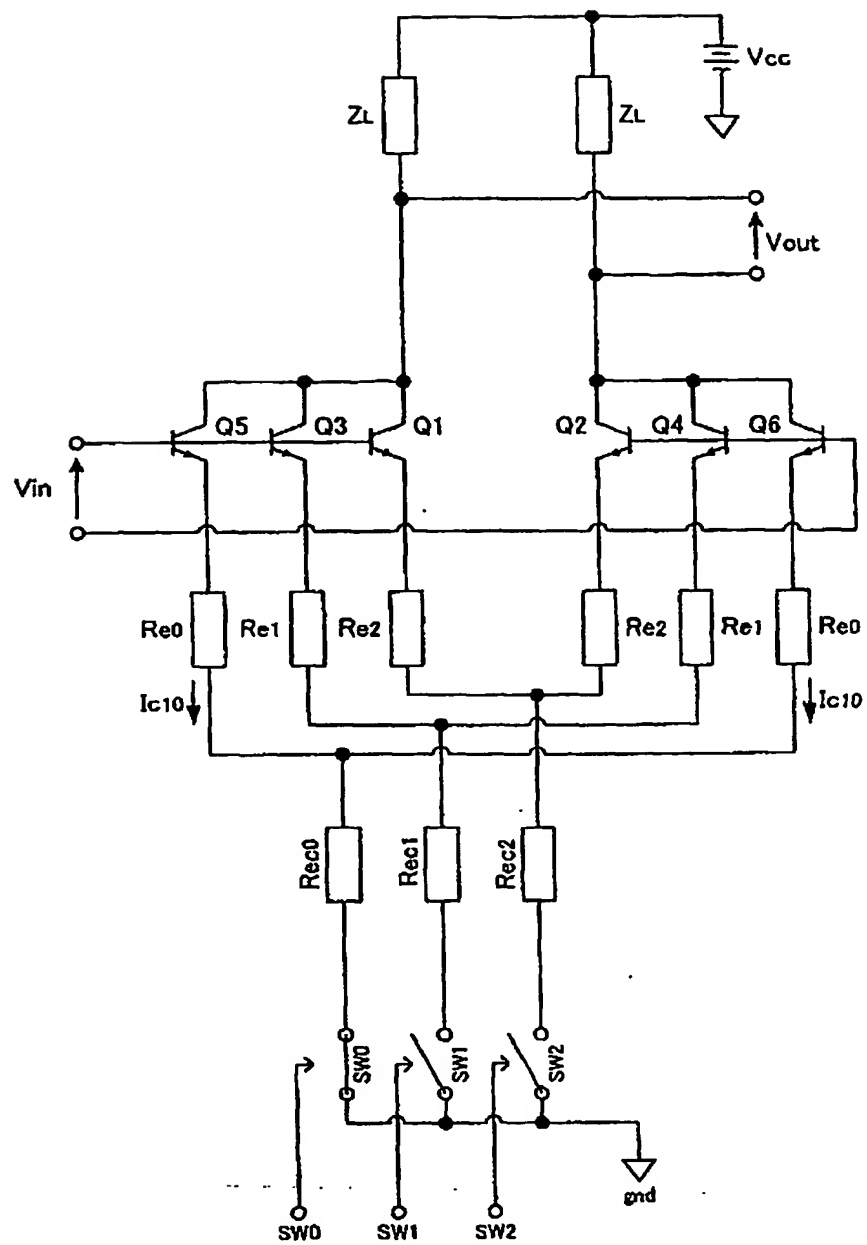


図 7

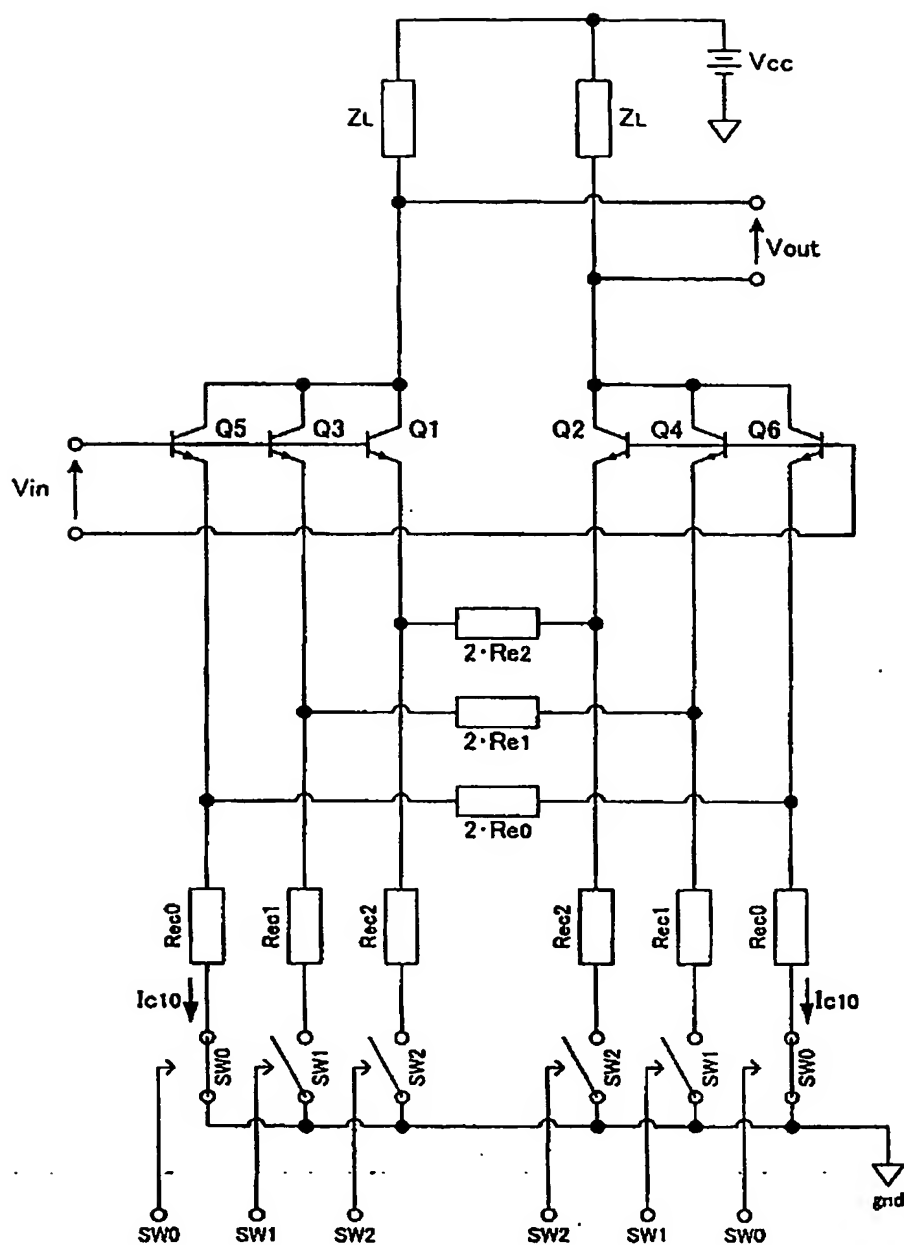


図 8

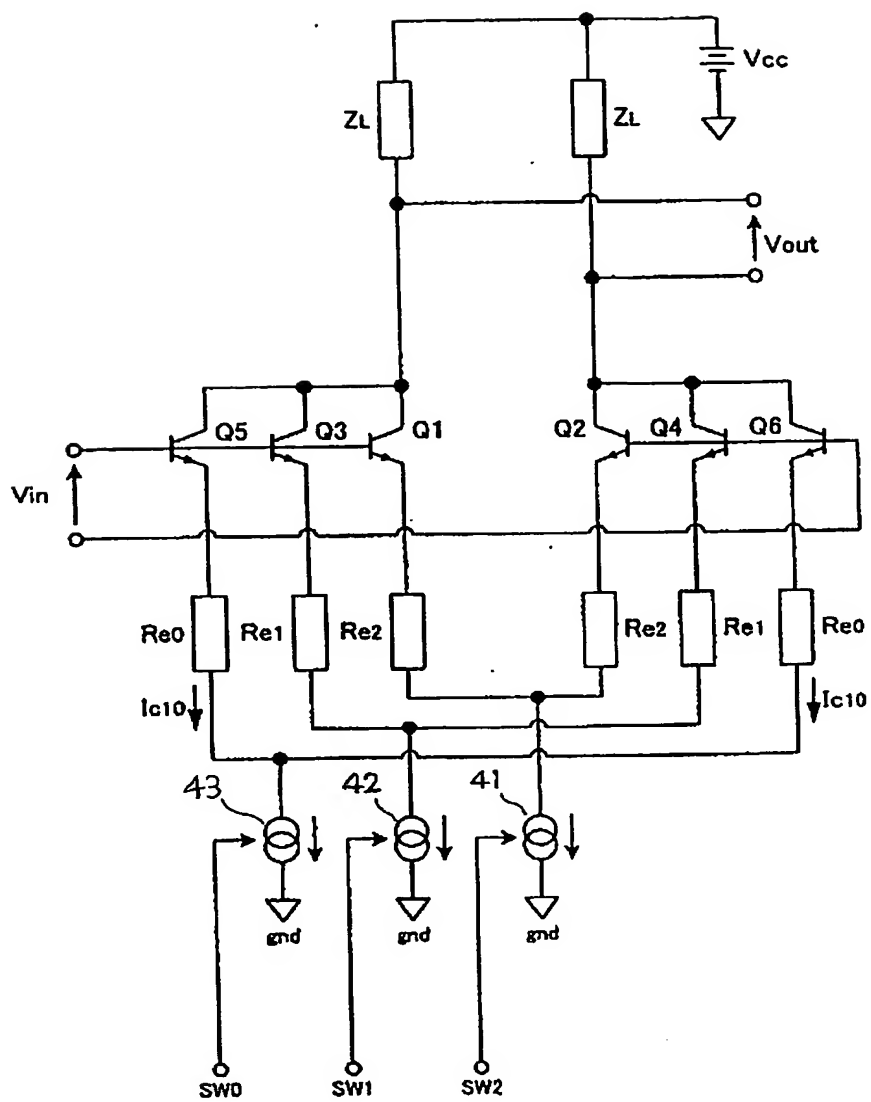


図 9

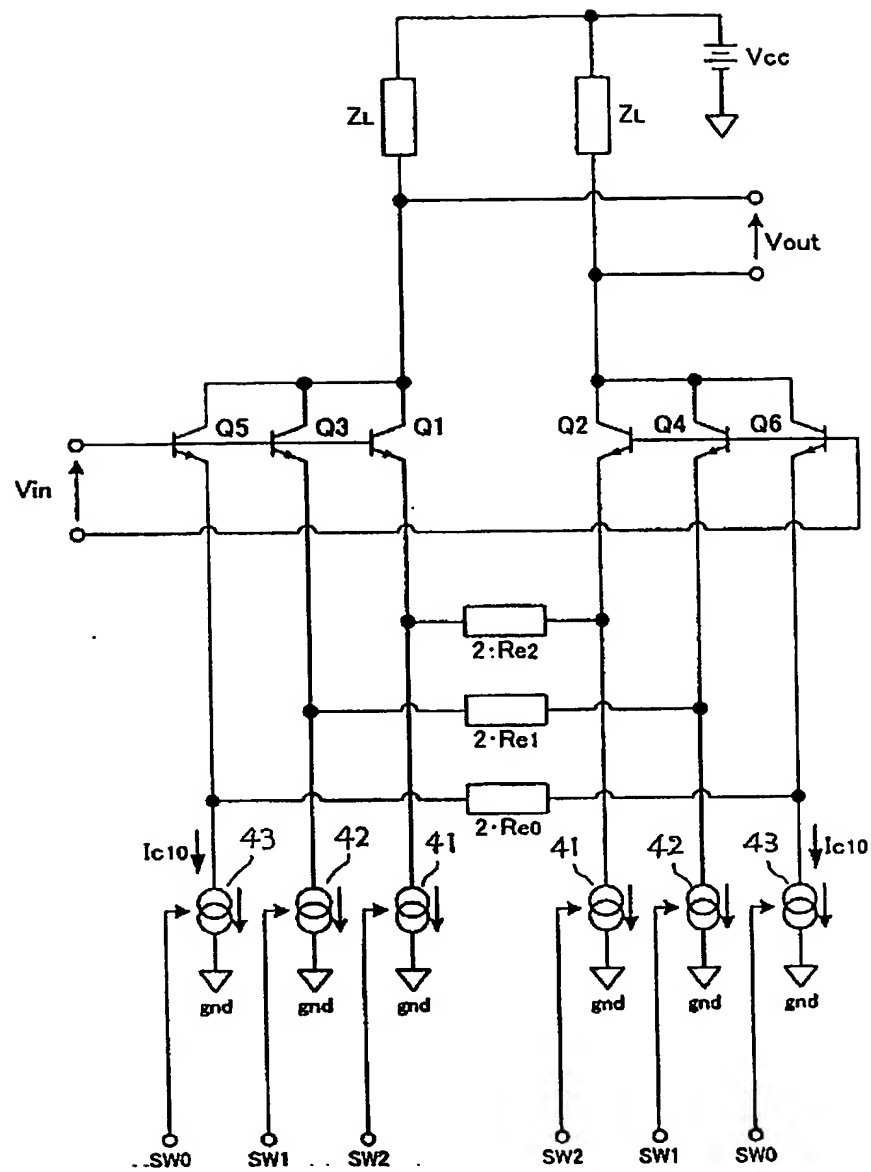


图 11

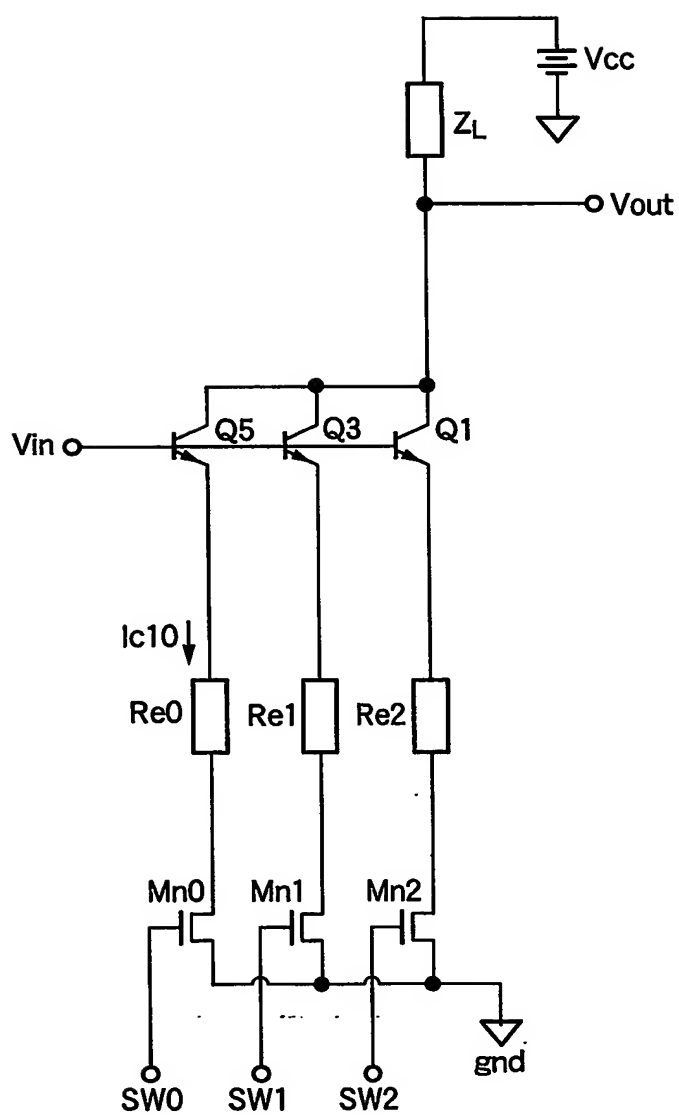


図 1 6

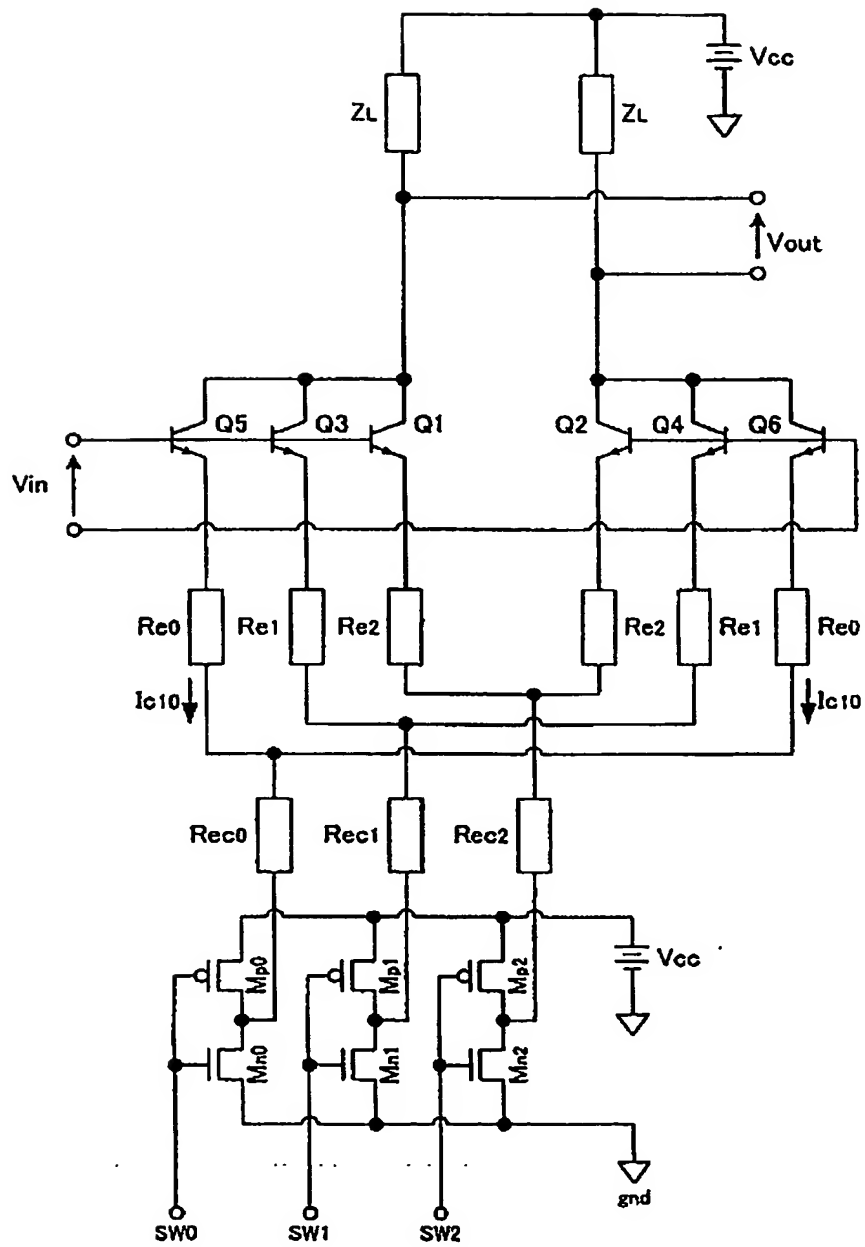


图 18

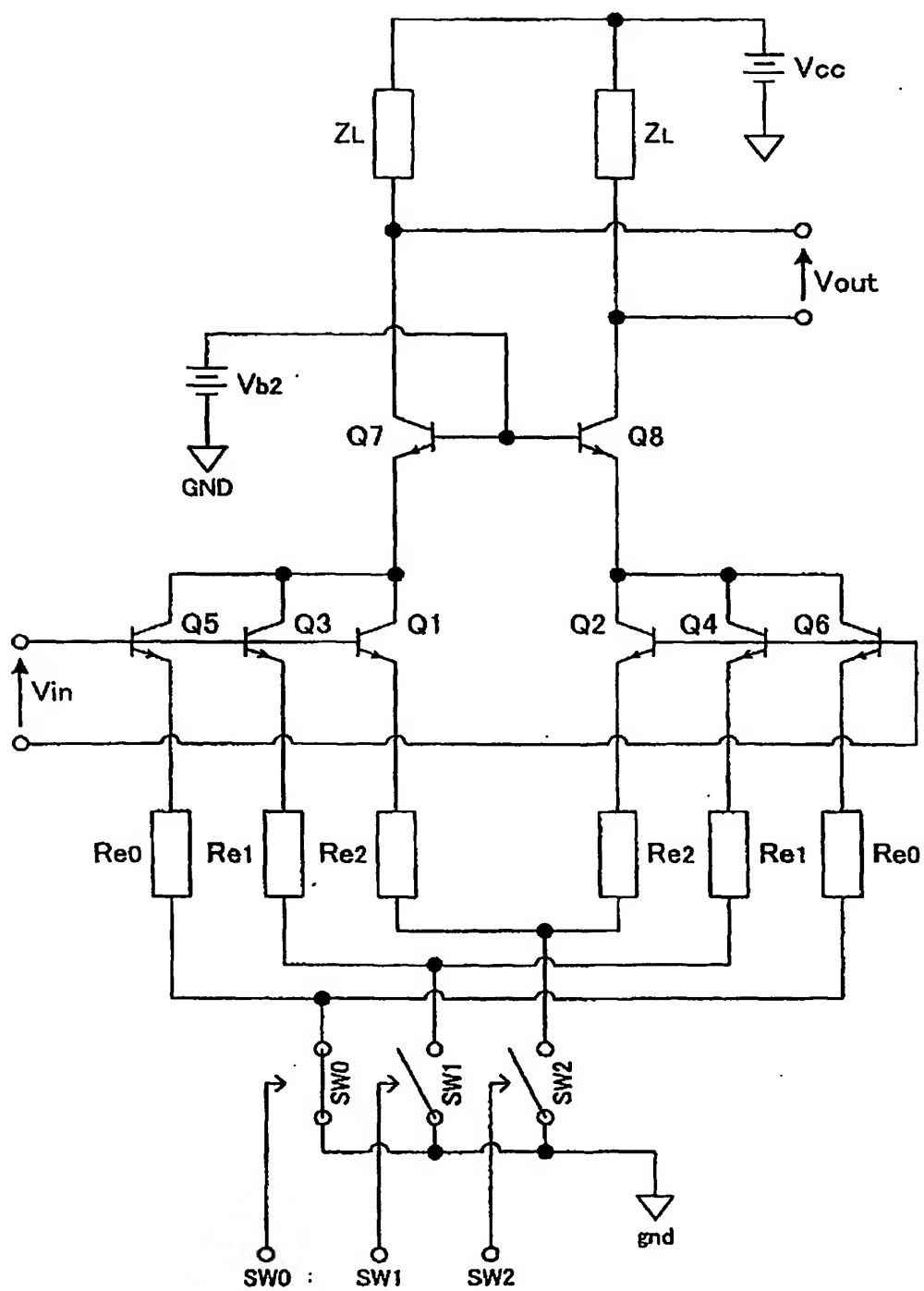


图 19

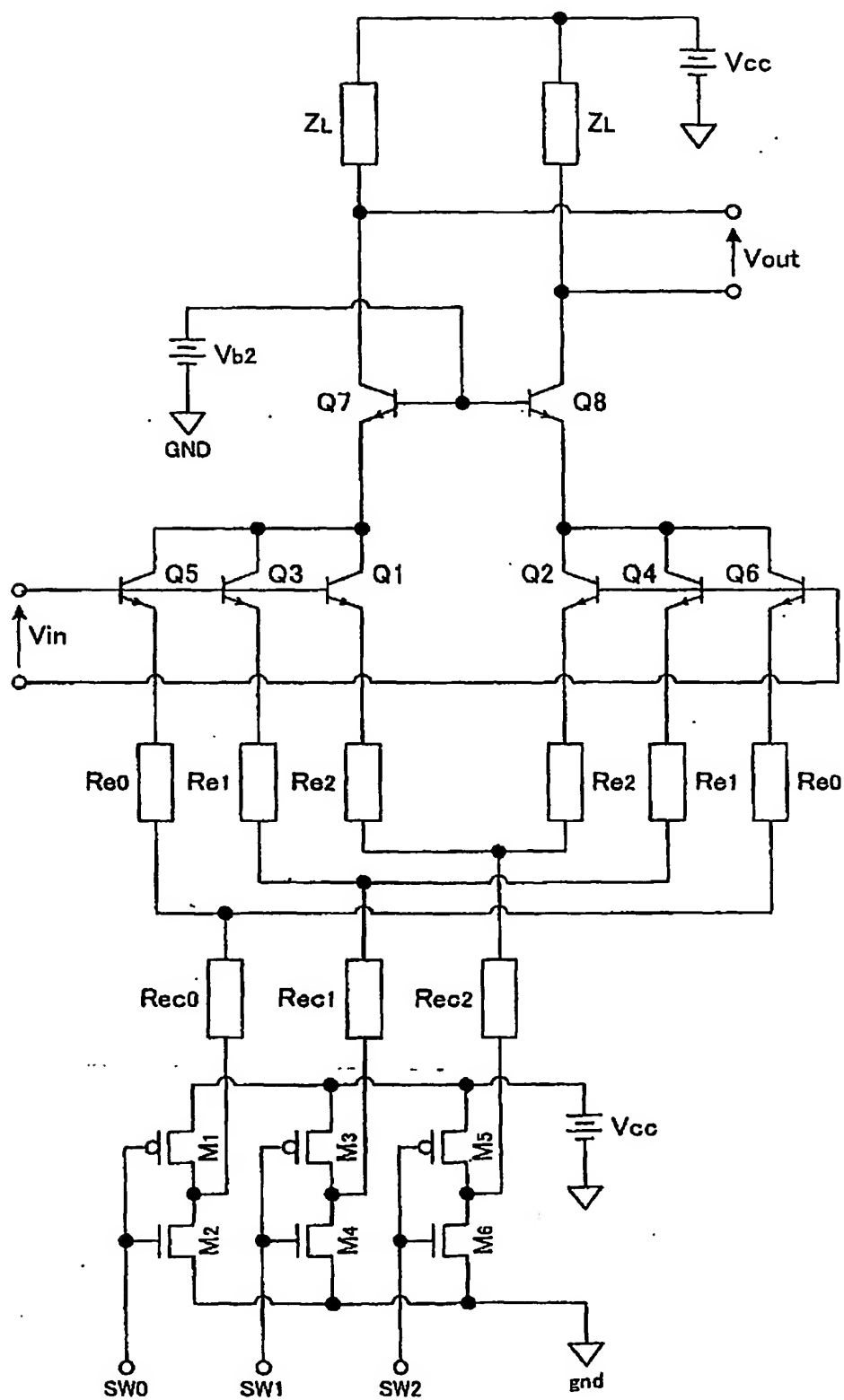


図 2 1

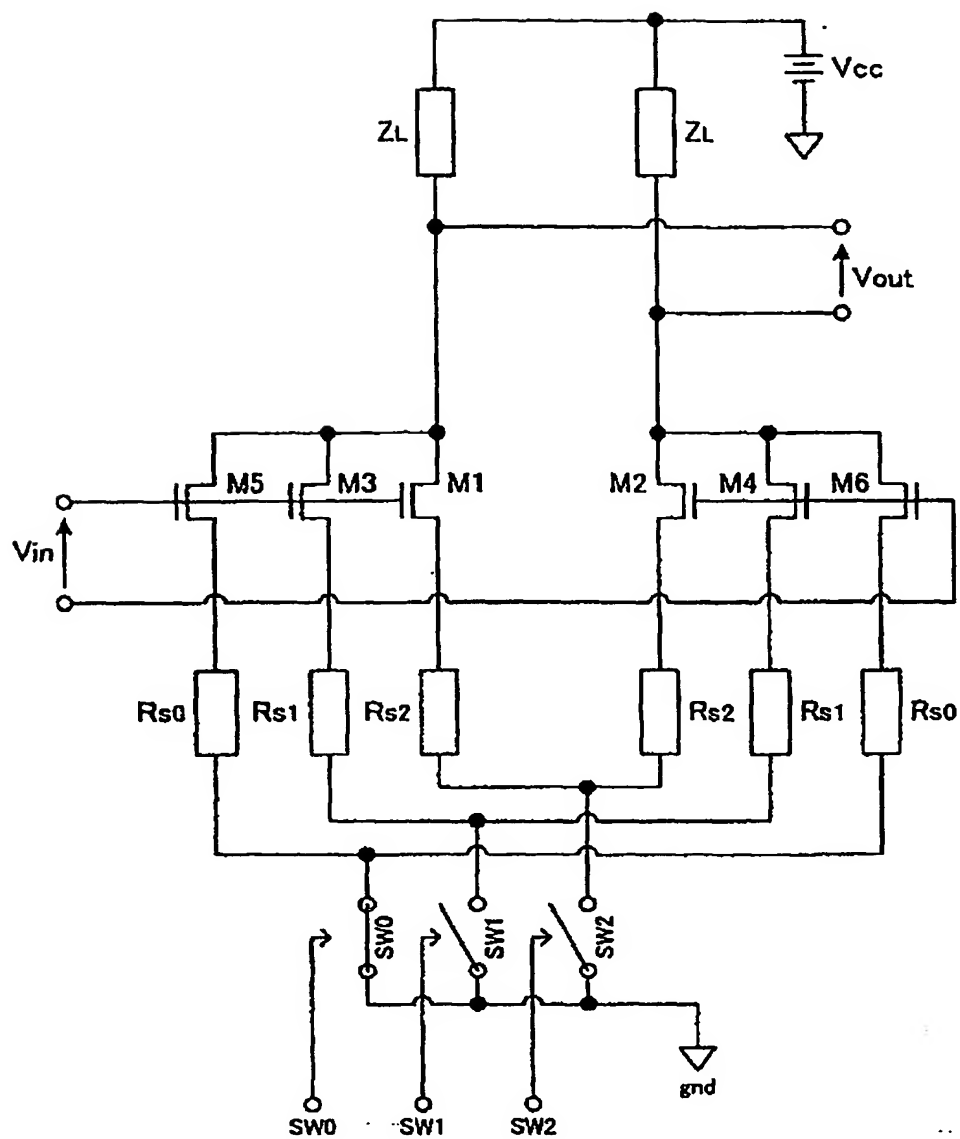


图 2 2

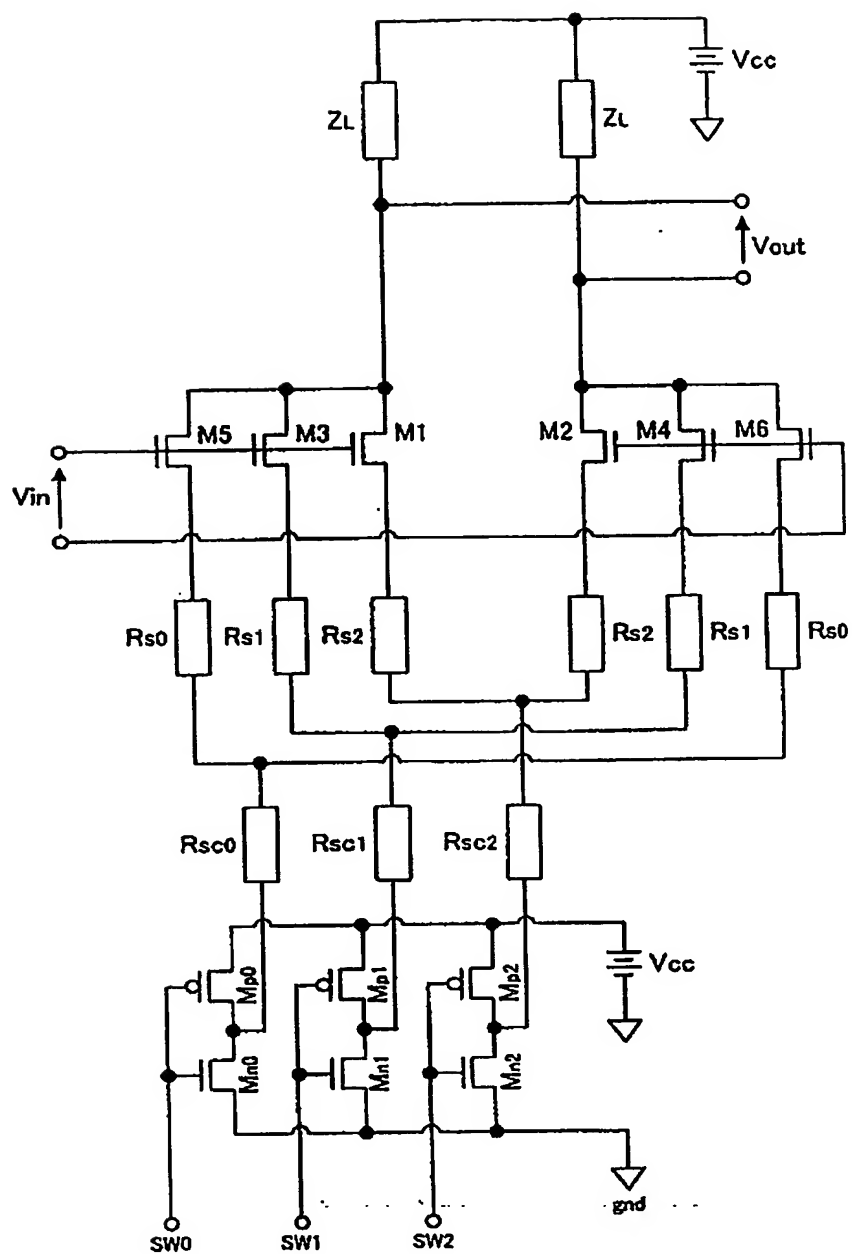


図 24

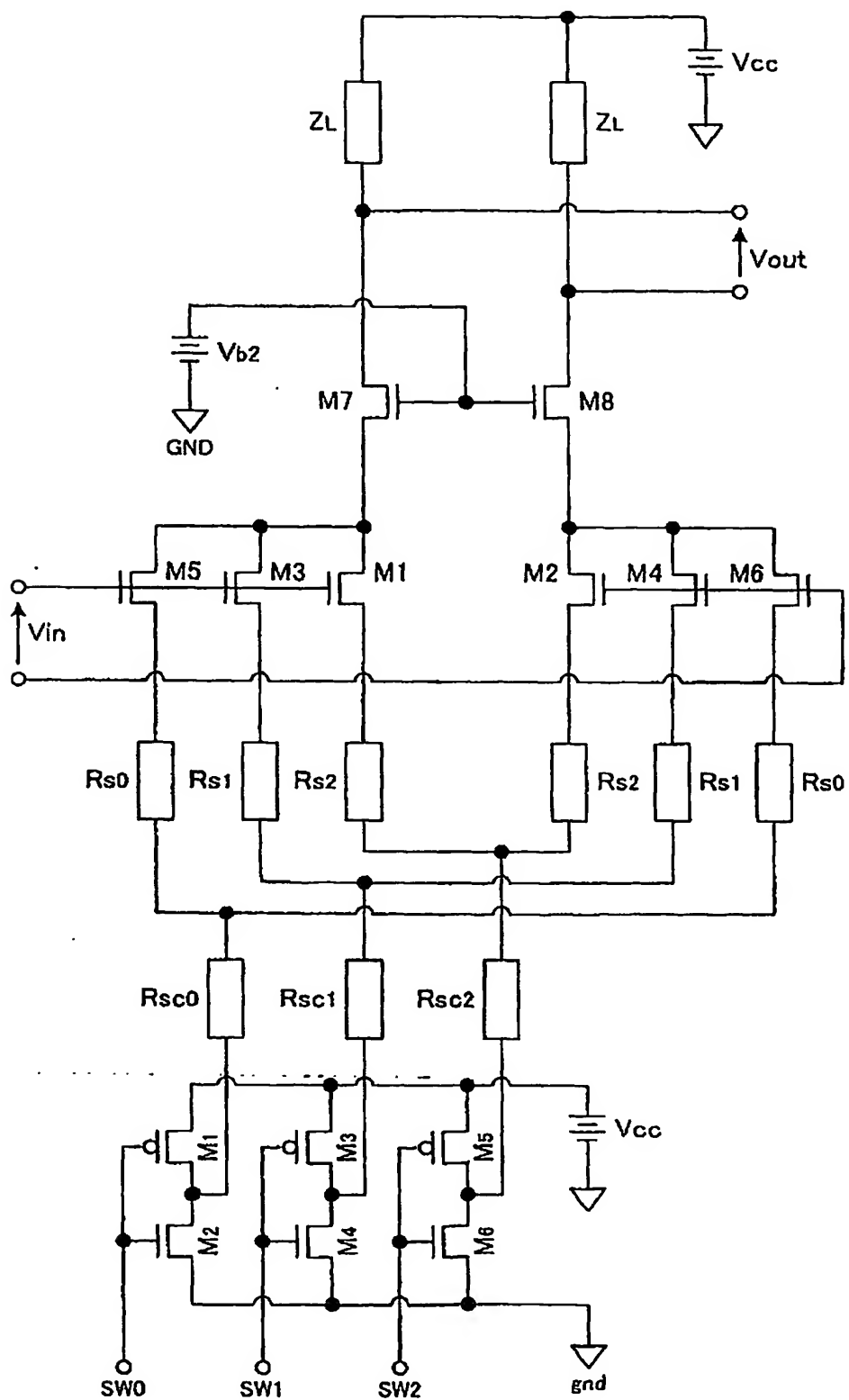


図 2 5

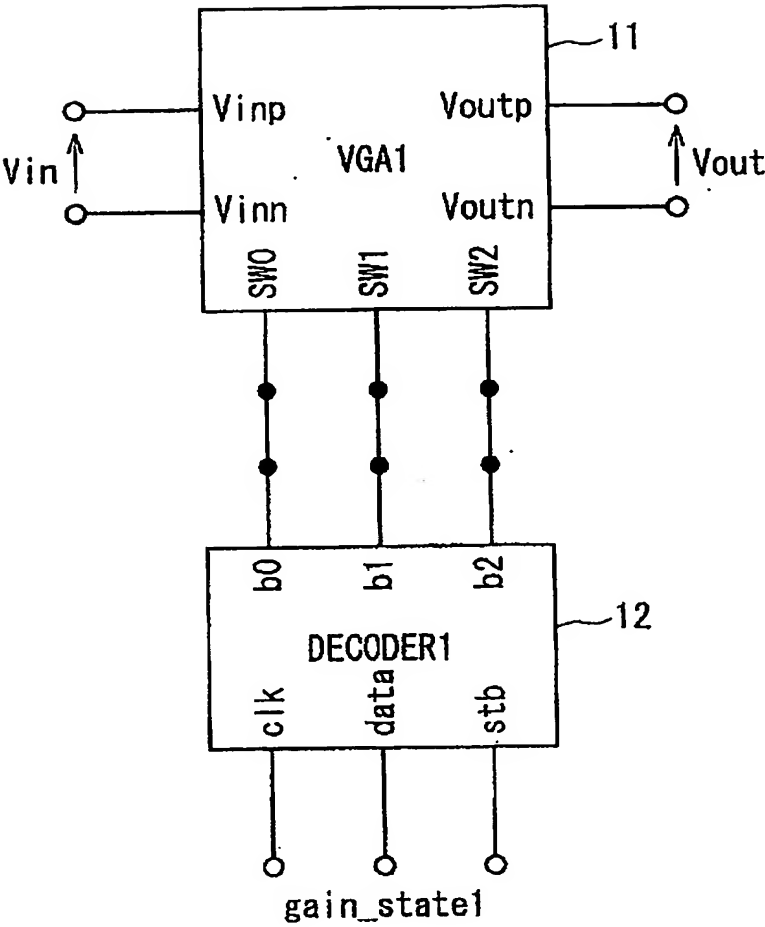


図 2 6

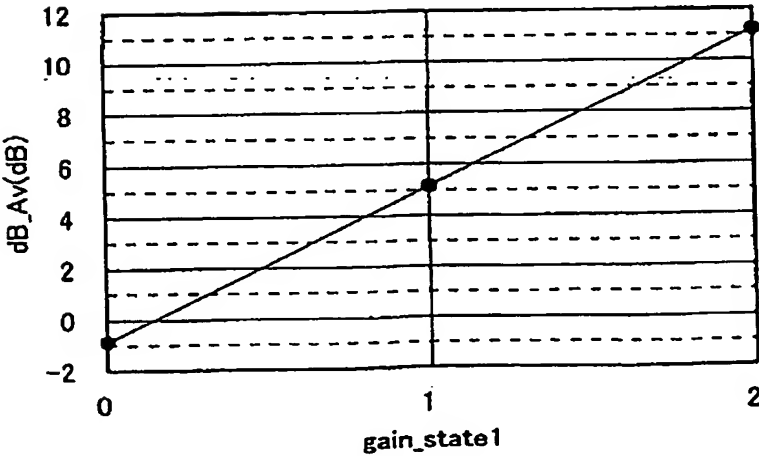


図 2 7

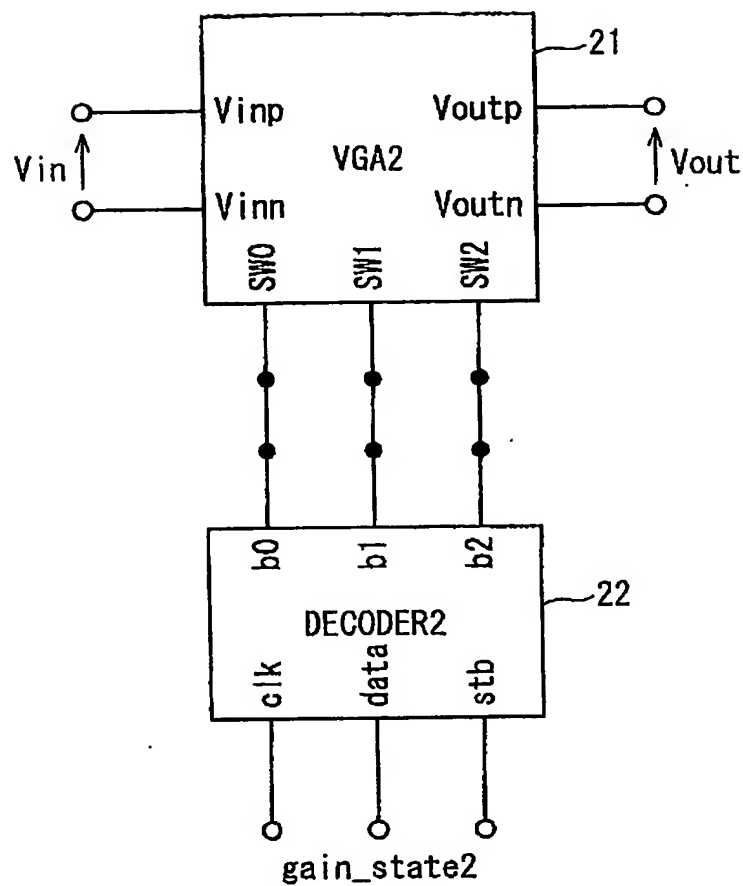


図 2 8

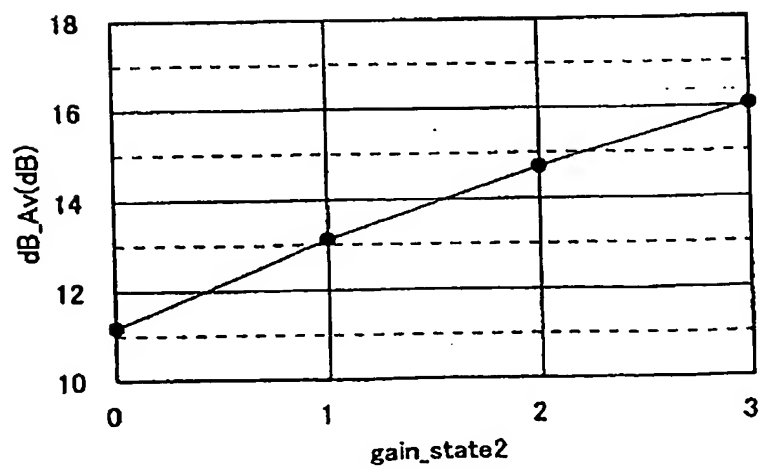


図 2 9

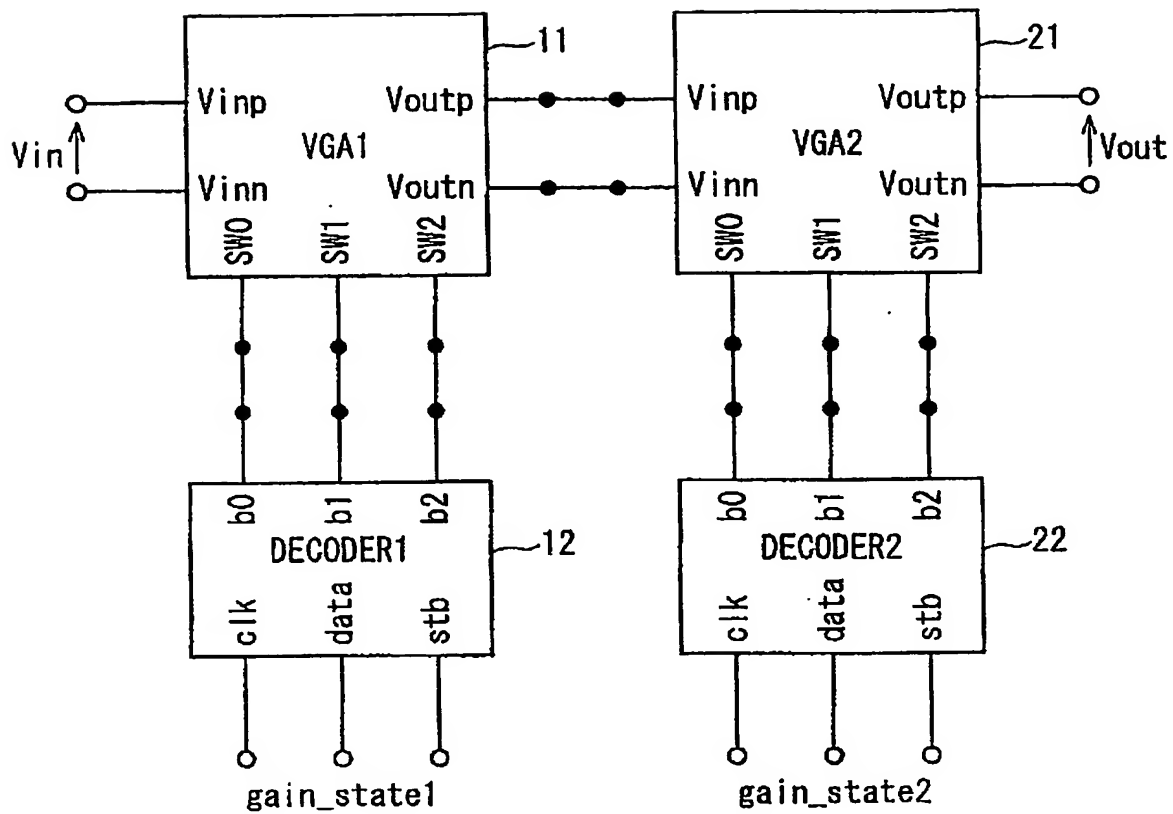


図 3 0

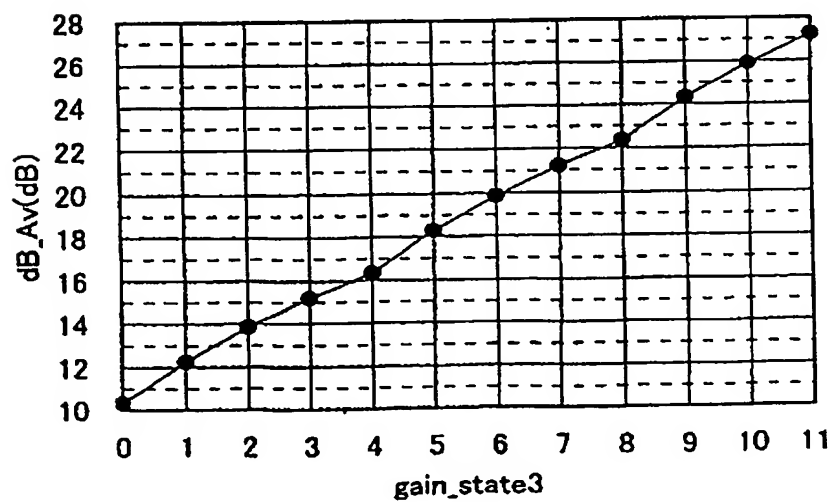


図 3 1

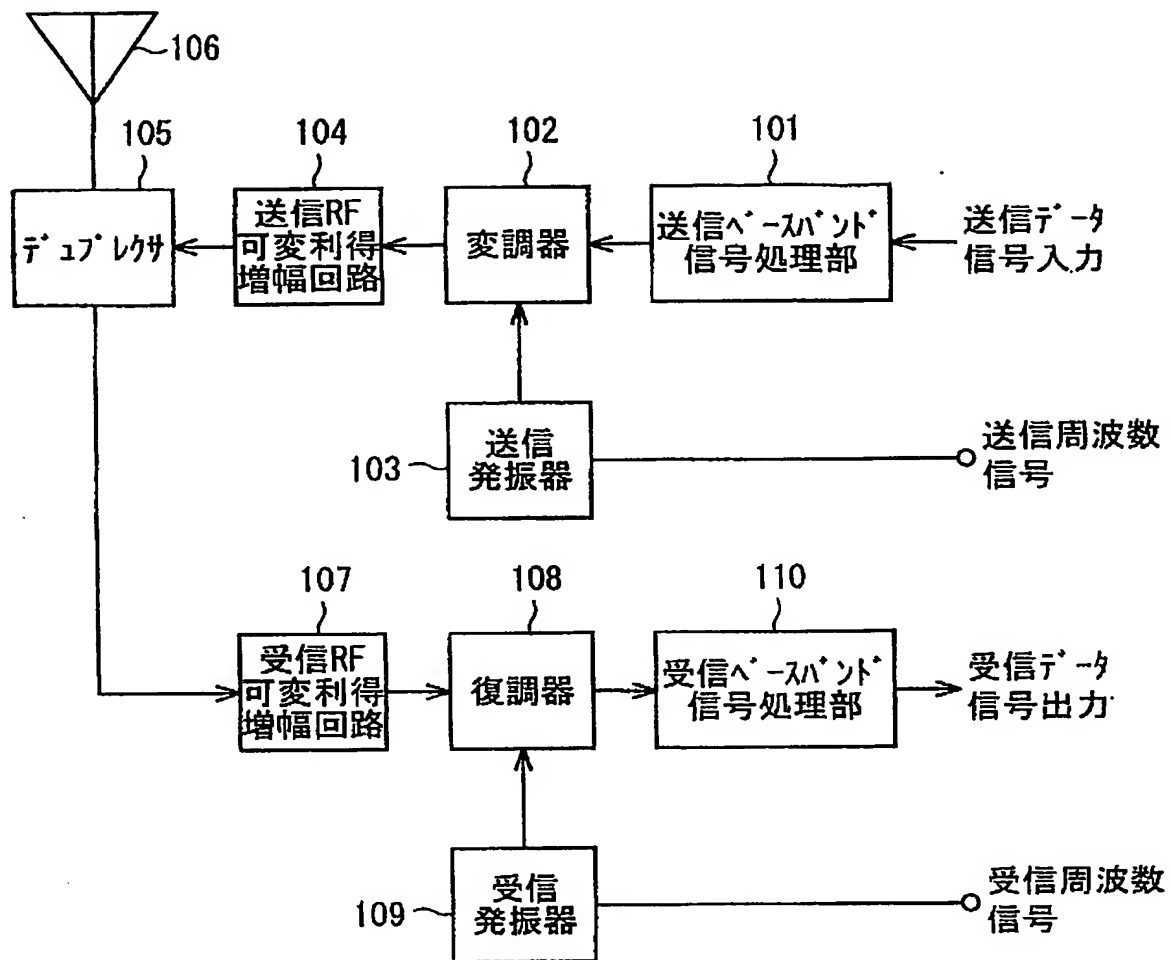


図 3 2

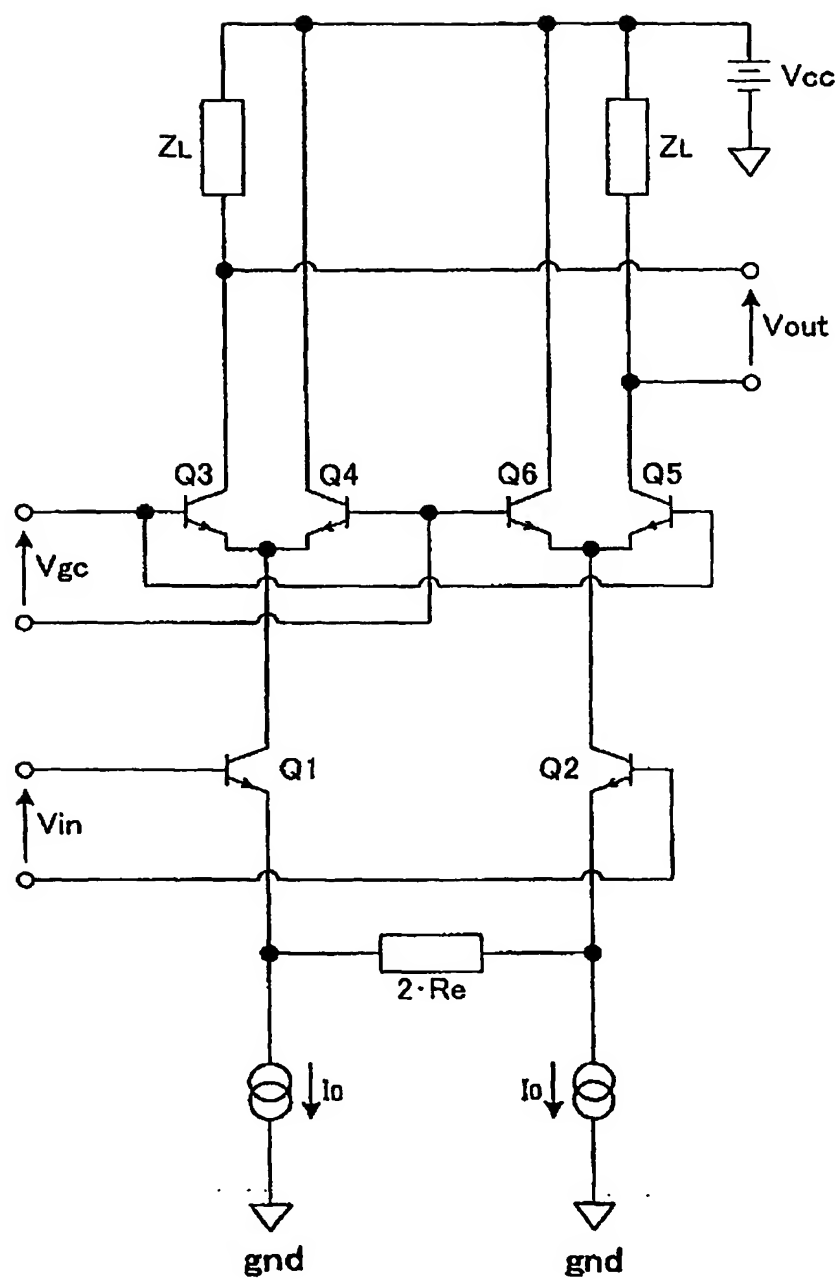


図 3 3

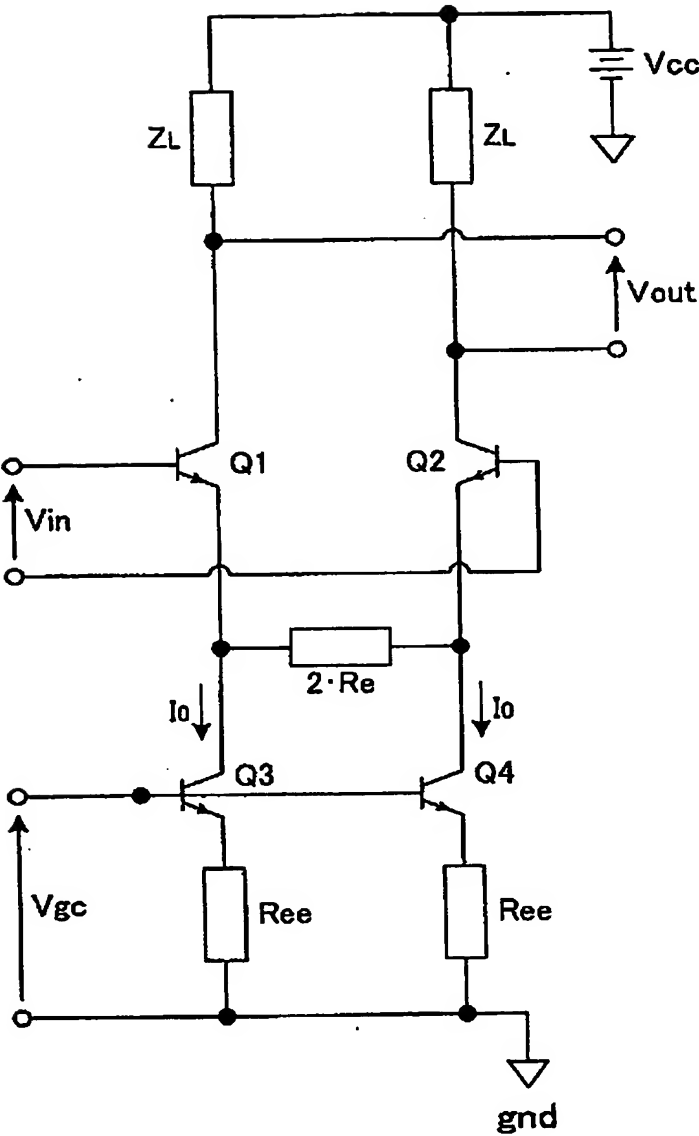


図 3 5

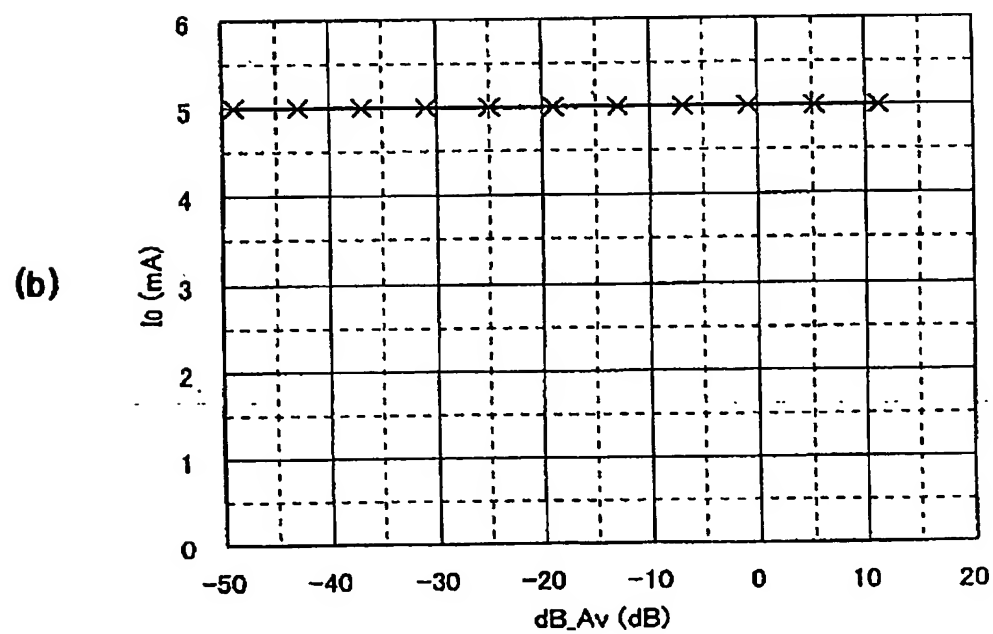
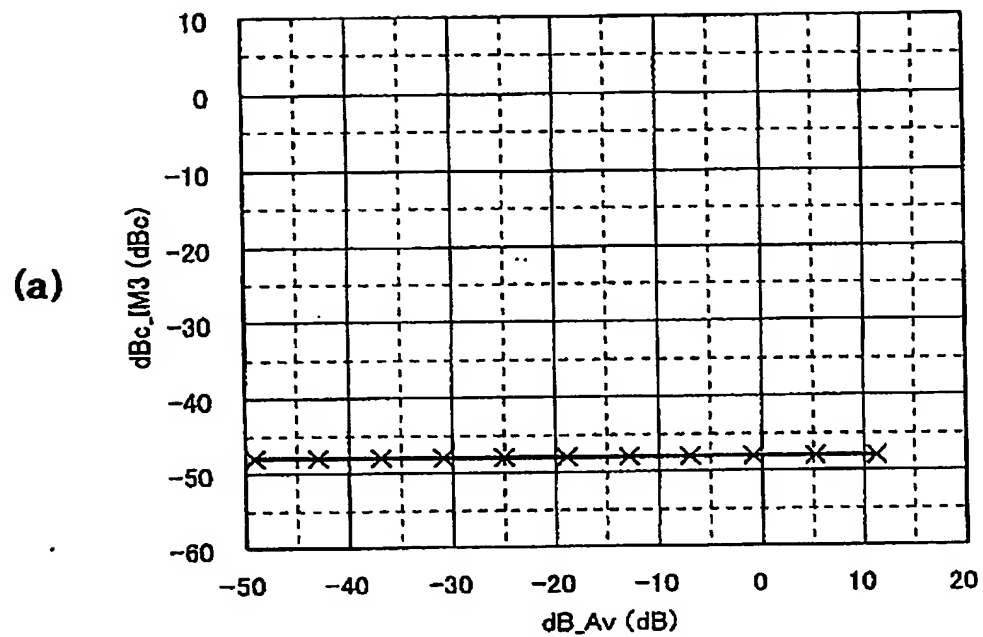
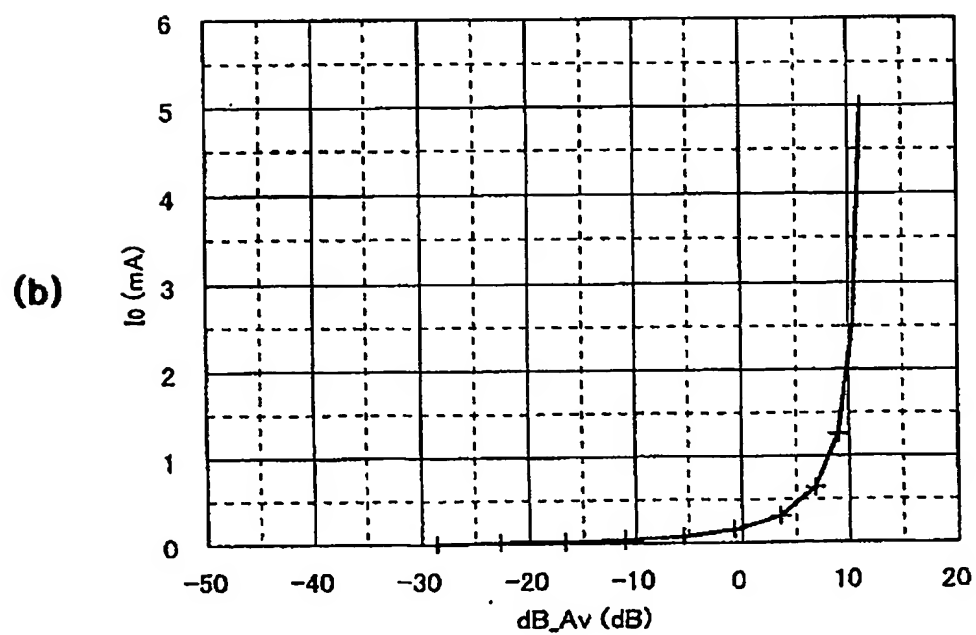
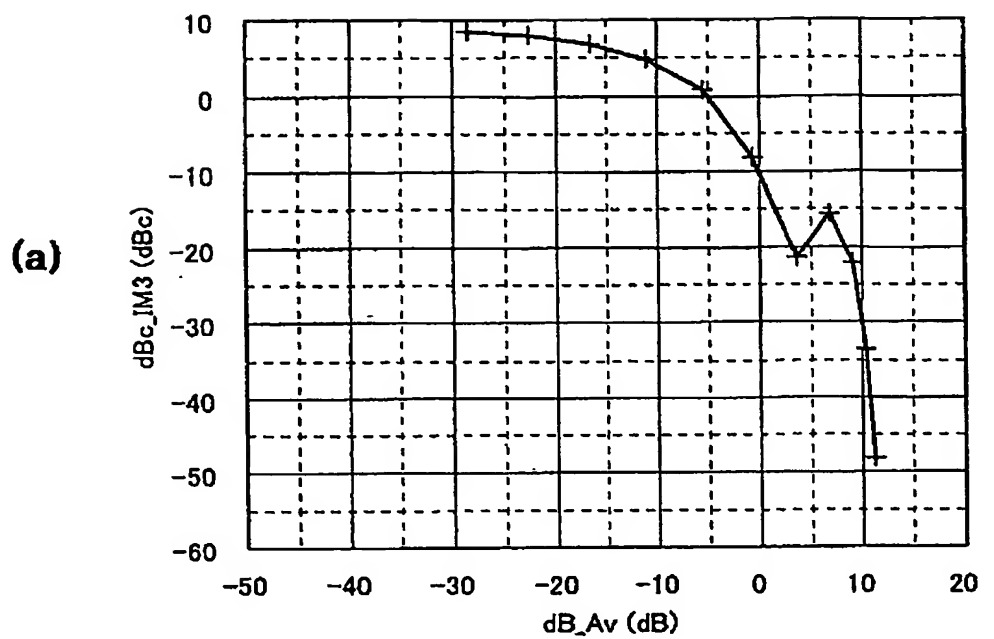


図 3 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000181

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03G3/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03G3/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 60-212013 A (NEC Corp.), 24 October, 1985 (24.10.85), Page 3, lower left column to lower right column; Fig. 4 (Family: none)	1, 2 3-20
X Y	JP 2002-330039 A (Sharp Corp.), 15 November, 2002 (15.11.02), Full text; all drawings & US 2002/0118065 A1	7, 11, 12-16, 20 5, 6, 8-10, 17-19
X Y	JP 11-177357 A (Fujitsu Ltd.), 02 July, 1999 (02.07.99), Full text; all drawings (Family: none)	7, 13-16 1-6, 8-12, 17-20

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2004 (13.04.04)Date of mailing of the international search report
11 May, 2004 (11.05.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000181

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-27068 A (NEC IC Miconsystem Kabushiki Kaisha), 29 January, 1999 (29.01.99), Par. No. [0016]; Fig. 3 & US 2000/6049252 A1	3, 4, 9, 10
Y	JP 10-275021 A (Sanyo Electric Co., Ltd.), 13 October, 1998 (13.10.98), Par. No. [0005]; Fig. 2 (Family: none)	3, 4, 9, 10
Y	JP 2002-252532 A (Sharp Corp.), 06 September, 2002 (06.09.02), Par. Nos. [0089] to [0091]; Fig. 9 (Family: none)	17-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/10

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 60-212013 A (日本電気株式会社) 1985. 10. 24 第3頁左下欄～右下欄、第4図 (ファミリーなし)	1, 2 3-20
X Y	J P 2002-330039 A (シャープ株式会社) 2002. 11. 15 全文、全図 & US 2002/0118065 A1	7, 11, 12-16, 20 5, 6, 8-10, 17- 19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 13. 04. 2004

国際調査報告の発送日 11. 5. 2004

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 5 J 9180
 畑中 博幸
 電話番号 03-3581-1101 内線 3535

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 11-177357 A (富士通株式会社) 1999. 07. 02 全文、全図 (ファミリーなし)	7, 13-16 1-6, 8-12, 17-20
Y	JP 11-27068 A (日本電気アイシーマイコンシステム株式会社) 1999. 01. 29 公報【0016】、図3 & US 2000/6049252 A1	3, 4, 9, 10
Y	JP 10-275021 A (三洋電機株式会社) 1998. 10. 13 公報【0005】、図2 (ファミリーなし)	3, 4, 9, 10
Y	JP 2002-252532 A (シャープ株式会社) 2002. 09. 06 公報【0089】～【0091】、図9 (ファミリーなし)	17-19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.